

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005759

International filing date: 28 March 2005 (28.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-096060
Filing date: 29 March 2004 (29.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 3月29日

出願番号 Application Number: 特願2004-096060

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

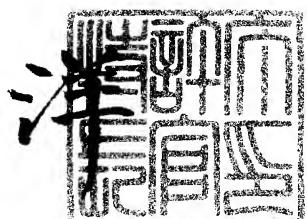
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人 Applicant(s): 浜松ホトニクス株式会社

2005年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 2003-0659
【提出日】 平成16年 3月 29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 31/10
H01L 31/0224

【発明者】
【住所又は居所】 静岡県浜松市市野町 1126 番地の 1 浜松ホトニクス株式会社
内
【氏名】 田中 章雅

【特許出願人】
【識別番号】 000236436
【氏名又は名称】 浜松ホトニクス株式会社

【代理人】
【識別番号】 100088155
【弁理士】
【氏名又は名称】 長谷川 芳樹

【選任した代理人】
【識別番号】 100092657
【弁理士】
【氏名又は名称】 寺崎 史朗

【選任した代理人】
【識別番号】 100124291
【弁理士】
【氏名又は名称】 石田 悟

【手数料の表示】
【予納台帳番号】 014708
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

複数の化合物半導体層を含む層構造体を備え、当該層構造体の一方側に受光領域が形成された半導体光検出素子であって、

前記層構造体の前記一方側に配置され、前記受光領域に電気的に接続された第1電極部と、

前記層構造体の他方面側に配置され、前記第1電極部に電気的に接続された第2電極部と、

前記層構造体の前記他方面側に配置され、前記層構造体の前記他方面側の領域に電気的に接続された第3電極部と、

前記受光領域及び前記第1電極部を覆うように前記層構造体の前記一方側に形成され、入射光に対して光学的に透明な光透過層と、を備えることを特徴とする半導体光検出素子。

【請求項 2】

前記光透過層は、酸化シリコンからなる膜と、ガラス基板とを含み、

前記ガラス基板は、前記酸化シリコンからなる膜を介して、前記層構造体の前記一方側に接着されていることを特徴とする請求項1に記載の半導体光検出素子。

【請求項 3】

前記光透過層は、酸化シリコンからなる膜を含むことを特徴とする請求項1に記載の半導体光検出素子。

【請求項 4】

前記光透過層は、樹脂からなる膜を含むことを特徴とする請求項1に記載の半導体光検出素子。

【請求項 5】

前記複数の化合物半導体層として、第1導電型の高濃度キャリア層、第1導電型の光吸収層及び第1導電型のキャップ層を含み、

前記受光領域として、少なくとも前記キャップ層に第2導電型の領域が形成されていることを特徴とする請求項1に記載の半導体光検出素子。

【請求項 6】

前記複数の化合物半導体層には、前記高濃度キャリア層、前記光吸収層及び前記受光領域が形成された前記キャップ層部分を含んでメサ状とされた受光部が形成されており、

前記第1電極部は、前記受光部を囲むように形成された窪み部に形成された配線電極を通して前記第2電極部と電気的に接続されており、

前記第3電極部は、前記受光部に含まれる高濃度キャリア層部分に電気的に接続されていることを特徴とする請求項5に記載の半導体光検出素子。

【請求項 7】

前記第1電極部は、前記層構造体を貫通する貫通配線を通して前記第2電極部と電気的に接続されており、

前記第3電極部は、前記高濃度キャリア層に電気的に接続されていることを特徴とする請求項5に記載の半導体光検出素子。

【請求項 8】

前記第2電極部及び前記第3電極部は、それぞれパッド電極を含んでおり、当該各パッド電極にパンプ電極が配置されることを特徴とする請求項1に記載の半導体光検出素子。

【請求項 9】

前記層構造体における前記他方面側には、前記受光領域に対応して光反射膜が形成されていることを特徴とする請求項1に記載の半導体光検出素子。

【請求項 10】

前記受光領域がアレイ状に複数並設されていることを特徴とする請求項1に記載の半導体光検出素子。

【請求項 11】

前記光透過層には、入射光を集光するレンズ部が形成されていることを特徴とする請求項1に記載の半導体光検出素子。

【請求項12】

複数の化合物半導体層を積層して形成する半導体光検出素子の製造方法であって、半導体基板を準備し、

前記半導体基板の一方面側に、積層された前記複数の化合物半導体層を含む層構造体を形成する工程と、

前記層構造体における前記半導体基板とは反対側に位置する一方面側に受光領域を形成する工程と、

前記層構造体の前記一方面側に、前記受光領域に電気的に接続される第1電極部を形成する工程と、

前記受光領域及び前記第1電極部を覆うように、前記層構造体の前記一方面側に入射光に対して光学的に透明な光透過層を形成する工程と、

前記光透過層を形成する前記工程の後に、前記半導体基板を除去する工程と、

前記半導体基板を除去する前記工程の後に、前記層構造体の他方面側に、前記第1電極部と電気的に接続する第2電極部を形成する工程と、

前記半導体基板を除去する前記工程の後に、前記層構造体の前記他方面側に、前記層構造体の前記他方面側の領域に電気的に接続する第3電極部を形成する工程と、を備えることを特徴とする半導体光検出素子の製造方法。

【請求項13】

入射光に対して光学的に透明なガラス基板と、を更に準備し、

前記光透過層を形成する前記工程は、

前記受光領域及び前記第1電極部を覆うように、酸化シリコンからなる膜を形成して平坦化する工程と、

前記酸化シリコンからなる膜における前記層構造体とは反対側の面と前記ガラス基板の一方面とが接触するように、前記酸化シリコンからなる膜と前記ガラス基板とを貼り合わせる工程と、を含むことを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項14】

前記光透過層を形成する前記工程では、前記受光領域及び前記第1電極部を覆うように、酸化シリコンからなる膜を形成することを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項15】

前記光透過層を形成する前記工程では、前記受光領域及び前記第1電極部を覆うように、樹脂からなる膜を形成することを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項16】

前記半導体基板を除去する前記工程では、前記半導体基板をウェットエッチングにより除去し、

前記層構造体を形成する前記工程では、前記ウェットエッチングを停止させるエッチング停止層を前記半導体基板と前記複数の化合物半導体層との間に位置させるように形成することを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項17】

前記半導体基板を除去する前記工程の後に実施され、前記エッチング停止層をウェットエッチングにより除去する工程を更に備えることを特徴とする請求項16に記載の半導体光検出素子の製造方法。

【請求項18】

前記複数の化合物半導体層として、第1導電型の高濃度キャリア層、第1導電型の光吸収層及び第1導電型のキャップ層を含んでおり、

前記層構造体を形成する前記工程では、前記半導体基板側から前記高濃度キャリア層、前記光吸収層及び前記キャップ層を順次積層し、

前記受光領域を形成する前記工程では、当該受光領域として、少なくとも前記キャップ層に第2導電型の領域を形成することを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項19】

前記受光領域を形成する前記工程の後に、前記高濃度キャリア層、前記光吸収層及び前記受光領域が形成されたキャップ層部分を含む受光部をメサ状に形成する工程と、

前記受光部を囲むように形成された窪み部に配線電極を形成し、当該配線電極を通して前記第1電極部と前記第2電極部と電気的に接続する工程と、を更に備え、

前記第3電極部を形成する前記工程では、当該第3電極部を前記受光部に含まれる高濃度キャリア層部分に電気的に接続するように形成することを特徴とする請求項18に記載の半導体光検出素子の製造方法。

【請求項20】

前記第2電極部を形成する前記工程は、前記層構造体を貫通する貫通配線を形成し、当該貫通配線を通して前記第1電極部と前記第2電極部と電気的に接続する工程を含み、

前記第3電極部を形成する前記工程では、当該第3電極部を前記高濃度キャリア層に電気的に接続するように形成することを特徴とする請求項18に記載の半導体光検出素子の製造方法。

【請求項21】

前記層構造体における前記他方面側には、前記受光領域に対応して光反射膜を形成する工程を更に備えることを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【請求項22】

前記光透過層には、入射光を集光するレンズ部が形成されていることを特徴とする請求項12に記載の半導体光検出素子の製造方法。

【書類名】明細書

【発明の名称】半導体光検出素子及びその製造方法

【技術分野】

【0001】

本発明は、半導体光検出素子と、その製造方法とに関する。

【背景技術】

【0002】

近年、C P Uの駆動周波数の高速化（例えば、10 G H z以上）に伴い、システム装置内及び装置間の信号を光で伝送する光インターフェクション技術が着目されている。この光インターフェクション技術には、半導体光検出素子及び半導体発光素子といった光半導体素子が用いられる。

【0003】

ところで、光インターフェクション技術に用いる半導体光検出素子としては、外部基板への実装性を考慮して、光検出素子から信号を取り出すための電極（信号電極）が光入射面とは反対側の面に配置されたものが好適である。信号電極が光入射面とは反対側の面に配置された半導体光検出素子として、半導体基板の光入射面の裏面側に複数の化合物半導体層が形成された裏面入射型の半導体光検出素子が知られている（例えば、特許文献1～3参照）。

【0004】

特許文献1～3に記載された裏面入射型の半導体光検出素子では、下記の目的で、受光部に対応する基板部分を部分的に薄化し、部分的に薄化された基板部分を囲むように基板厚みを残した部分を形成している。第1の目的は、半導体基板の光吸収による光信号劣化あるいは消失を防ぐことである。第2の目的は、半導体光検出素子を外部基板等にワイヤボンディングあるいはバンプボンディングにより実装する際に、半導体光検出素子がダメージを受ける、あるいは破損するのを防ぐことである。

【特許文献1】特開平3-104287号公報

【特許文献2】特開平6-296035号公報

【特許文献3】特開2002-353564号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した特許文献1～3に記載された裏面入射型の半導体光検出素子においては、基板厚みを残した部分が存在することから、半導体光検出素子の小型化には限界がある。特に、半導体光検出素子のアレイ化を図る場合、狭ピッチ化が困難なため、素子のサイズが大きくならざるを得ず、アレイ化した半導体光検出素子のコンパクト化ができなくなる。

【0006】

本発明は上述の点に鑑みてなされたもので、機械的強度を保つつつ、小型化を十分に図ることが可能な半導体光検出素子及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0007】

本発明に係る半導体光検出素子は、複数の化合物半導体層を含む層構造体を備え、当該層構造体の一方面側に受光領域が形成された半導体光検出素子であって、層構造体の一方面側に配置され、受光領域に電気的に接続された第1電極部と、層構造体の他方面側に配置され、第1電極部に電気的に接続された第2電極部と、層構造体の他方面側に配置され、層構造体の他方面側の領域に電気的に接続された第3電極部と、受光領域及び第1電極部を覆うように層構造体の一方面側に形成され、入射光に対して光学的に透明な光透過層と、を備えることを特徴とする。

【0008】

本発明に係る半導体光検出素子では、層構造体に含まれる複数の化合物半導体層を薄膜

化した場合でも、層構造体の機械的強度が上記光透過層により保たれることとなる。また、本発明においては、上記特許文献1～3に記載された半導体光検出素子のように、基板厚みを残した部分を形成する必要はなく、素子の小型化を容易に図ることができる。

【0009】

また、本発明に係る半導体光検出素子においては、層構造体の他方面側に第2電極部及び第3電極部が配置されており、当該光検出素子を受光領域が配置された一方の裏面となる他方面側を外部基板等の実装面に対向させた状態で実装することができる。この結果、半導体光検出素子の実装を容易に行うことができる。

【0010】

また、光透過層は、酸化シリコンからなる膜と、ガラス基板とを含み、ガラス基板は、酸化シリコンからなる膜を介して、層構造体の一方面側に接着されていることが好ましい。この場合、層構造体は酸化シリコンからなる膜を介してガラス基板に接着されているので、層構造体とガラス基板とを接着剤等を用いることなく接着することができる。そのため、ガラス基板側から入射した光は、上記接着剤等により吸収されることなく層構造体に到達し得る。

【0011】

また、光透過層は、酸化シリコンあるいは樹脂からなる膜を含むことが好ましい。

【0012】

また、複数の化合物半導体層として、第1導電型の高濃度キャリア層、第1導電型の光吸収層及び第1導電型のキャップ層を含み、受光領域として、少なくともキャップ層に第2導電型の領域が形成されていることが好ましい。

【0013】

また、複数の化合物半導体層には、高濃度キャリア層、光吸収層及び受光領域が形成されたキャップ層部分を含んでメサ状とされた受光部が形成されており、第1電極部は、受光部を囲むように形成された溝部に形成された配線電極を通して第2電極部と電気的に接続されており、第3電極部は、受光部に含まれる高濃度キャリア層部分に電気的に接続されていることが好ましい。この場合、受光部がメサ状とされて分離されるので、寄生容量をより一層低減することができる。また、受光部をメサ状に形成するための溝部に形成した配線電極を、層構造体を貫通する貫通電極として利用することができ、貫通電極の形成を極めて容易に行うことができる。また、受光部の高濃度キャリア層から電極が直接引き出されることとなり、直列抵抗を大幅に低減することができる。

【0014】

また、第1電極部は、層構造体を貫通する貫通配線を通して第2電極部と電気的に接続されており、第3電極部は、高濃度キャリア層に電気的に接続されていることが好ましい。この場合、貫通配線により、第1電極部と第2電極部との電気的な接続を確実に行うことができる。また、高濃度キャリア層から電極が直接引き出されることとなり、直列抵抗を大幅に低減することができる。

【0015】

また、第2電極部及び第3電極部は、それぞれパッド電極を含んでおり、当該各パッド電極にバンプ電極が配置されることが好ましい。

【0016】

また、層構造体における他方面側には、受光領域に対応して光反射膜が形成されていることが好ましい。この場合、吸収されずに光吸収層を一度通り抜けた光が光反射膜で反射し、もう一度光吸収層に入射して吸収されるので、光感度をより一層向上することができる。

【0017】

また、受光領域がアレイ状に複数並設されていることが好ましい。

【0018】

本発明に係る半導体光検出素子の製造方法は、複数の化合物半導体層を積層して形成する半導体光検出素子の製造方法であって、半導体基板を準備し、半導体基板の一方面側に

、積層された複数の化合物半導体層を含む層構造体を形成する工程と、層構造体における半導体基板とは反対側に位置する一方側に受光領域を形成する工程と、層構造体の一方側に、受光領域に電気的に接続される第1電極部を形成する工程と、受光領域及び第1電極部を覆うように、層構造体の一方側に入射光に対して光学的に透明な光透過層を形成する工程と、光透過層を形成する工程の後に、半導体基板を除去する工程と、半導体基板を除去する工程の後に、層構造体の他方面側に、第1電極部と電気的に接続する第2電極部を形成する工程と、半導体基板を除去する工程の後に、層構造体の他方面側に、層構造体の他方面側の領域に電気的に接続する第3電極部を形成する工程と、を備えることを特徴とする。

【0019】

本発明に係る半導体光検出素子の製造方法では、複数の化合物半導体層を含む層構造体の一方側に光透過層を形成した後に、半導体基板を除去するので、層構造体の一方側に光透過層が形成された半導体光検出素子を容易に製造することができる。

【0020】

また、本発明では、半導体基板が除去された後も光透過層が存在するので、層構造体に含まれる複数の化合物半導体層を薄膜化した場合でも、層構造体の機械的強度が上記光透過層により保たれることとなる。また、本発明においては、上記特許文献1～3に記載された半導体光検出素子のように、基板厚みを残した部分を形成する必要はなく、素子の小型化を容易に図ることができる。なお、光透過層を形成する前は、半導体基板により機械的強度が保たれることとなる。

【0021】

また、入射光に対して光学的に透明なガラス基板と、を更に準備し、光透過層を形成する工程は、受光領域及び第1電極部を覆うように、酸化シリコンからなる膜を形成して平坦化する工程と、酸化シリコンからなる膜における層構造体とは反対側の面とガラス基板の一方面とが接触するように、酸化シリコンからなる膜とガラス基板とを貼り合わせる工程と、を含むことが好ましい。この場合、層構造体は酸化シリコンからなる膜を介してガラス基板に接着されているので、積層された複数の化合物半導体層とガラス基板とを接着剤等を用いることなく接着することができる。そのため、ガラス基板側から入射した光は、上記接着剤等により吸収されるということなく積層された複数の化合物半導体層に到達し得る。

【0022】

また、光透過層を形成する工程では、受光領域及び第1電極部を覆うように、酸化シリコンあるいは樹脂からなる膜を形成することが好ましい。

【0023】

また、半導体基板を除去する工程では、半導体基板をウエットエッチングにより除去し、層構造体を形成する工程では、ウエットエッチングを停止させるエッチング停止層を半導体基板と複数の化合物半導体層との間に位置させるように形成することが好ましい。この場合、半導体基板をエッチング可能であり、エッチング停止層をエッチング可能でないエッチング液を用いることで、半導体基板を選択的に除去できる。そのため、複数の化合物半導体層を残して半導体基板を確実且つ容易に除去できる。

【0024】

また、半導体基板を除去する工程の後に実施され、エッチング停止層をウエットエッチングにより除去する工程を更に備えることが好ましい。エッチング停止層をエッチング可能であり、化合物半導体層をエッチング可能でないエッチング液を用いることで、エッチング停止層だけを選択的に除去できる。そのため、層構造体（複数の化合物半導体層）を残してエッチング停止層を確実且つ容易に除去できる。

【0025】

また、複数の化合物半導体層として、第1導電型の高濃度キャリア層、第1導電型の光吸収層及び第1導電型のキャップ層を含んでおり、層構造体を形成する工程では、半導体基板側から高濃度キャリア層、光吸収層及びキャップ層を順次積層し、受光領域を形成す

る工程では、当該受光領域として、少なくともキャップ層に第2導電型の領域を形成することが好ましい。

【0026】

また、受光領域を形成する工程の後に、高濃度キャリア層、光吸収層及び受光領域が形成されたキャップ層部分を含む受光部をメサ状に形成する工程と、受光部を囲むように形成された窪み部に配線電極を形成し、当該配線電極を通して第1電極部と第2電極部と電気的に接続する工程と、を更に備え、第3電極部を形成する工程では、当該第3電極部を受光部に含まれる高濃度キャリア層部分に電気的に接続するように形成することが好ましい。この場合、受光部がメサ状とされて分離されるので、寄生容量をより一層低減することができる。また、受光部をメサ状に形成するための窪み部に形成した配線電極を、層構造体を貫通する貫通電極として利用することができ、貫通電極の形成を極めて容易に行うことができる。

【0027】

また、第2電極部を形成する工程は、層構造体を貫通する貫通配線を形成し、当該貫通配線を通して第1電極部と第2電極部と電気的に接続する工程を含み、第3電極部を形成する工程では、当該第3電極部を高濃度キャリア層部分に電気的に接続するように形成することが好ましい。この場合、貫通配線により、第1電極部と第2電極部との電気的な接続を確実に行うことができる。また、高濃度キャリア層から電極が直接引き出されることとなり、直列抵抗を大幅に低減することができる。

【0028】

また、層構造体における他方面側には、受光領域に対応して光反射膜を形成する工程を更に備えることが好ましい。この場合、吸収されずに光吸収層を通過した光が光反射膜で反射され、もう一度光吸収層に入射することにより、光吸収層で吸収される光が増えるので、光感度を向上することができる。

【0029】

また、光透過層には、入射光を集光するレンズ部が形成されていることが好ましい。この場合、入射光の照射範囲に比べて受光領域が小さい場合であっても、効率よく入射光を集光することができる。

【発明の効果】

【0030】

本発明によれば、機械的強度を保ちつつ、小型化を十分に図ることが可能な半導体光検出素子及びその製造方法を提供することができる。

【0031】

また、本発明によれば、半導体光検出素子の実装を容易に行うことができる。

【発明を実施するための最良の形態】

【0032】

本発明の実施形態に係る半導体光検出素子について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0033】

(第1実施形態)

図1は、第1実施形態に係る半導体光検出素子を示す概略平面図である。図2は、図1におけるII-II線に沿った断面構成を説明するための模式図である。なお、図1においては、バンプ電極41の図示を省略している。

【0034】

半導体光検出素子P D 1は、層構造体L S 1と、ガラス基板1とを備えている。この半導体光検出素子P D 1は、光がガラス基板1側から層構造体L S 1に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 1は、例えは波長帯0.85μmの近距離光通信用光検出素子である。

【0035】

層構造体LS1は、積層された、エッチング停止層2、n型（第一導電型）の高濃度キャリア層3、n型の光吸収層5、及びn型のキャップ層7を含んでいる。層構造体LS1の一方面側には、後述するパッシベーション膜19が形成されている。層構造体LS1の他方面側には、電気絶縁膜（パッシベーション膜）20が形成されている。電気絶縁膜20は、例えばSiNxからなり、厚みが0.2μm程度である。

【0036】

層構造体LS1には、受光部11が形成されており、当該受光部11を囲むように窪み部12が形成されている。受光部11は、n型の高濃度キャリア層3a、n型の光吸収層5a及びn型のキャップ層7aを含んでメサ状（本実施形態においては、円錐台状）とされている。少なくともキャップ層7aには、p型（第2導電型）の受光領域9が形成されている。受光部11の頂部、及び、受光領域9は、光入射方向から見て、円形状を呈している。

【0037】

受光部11の頂部には、光入射方向から見て受光領域9の外側に、窪み部13が形成されている。窪み部13は、高濃度キャリア層3aに達し、受光領域9を囲むように溝状に形成されている。これにより、受光部11は、受光領域9を含んでメサ状とされた内側部分11aと、当該内側部分11aを囲むように位置する外側部分11bとを含んで構成されることとなる。窪み部13は、光入射方向から見て、受光領域9の縁に沿い且つ受光部11の頂部の一部を残すようにCの字状に形成されている。

【0038】

窪み部13の底部には、コンタクト電極17が配置されている。このコンタクト電極17は、高濃度キャリア層3aと電気的に接続されている。コンタクト電極17はAu—Ge/Ni/Auの積層体からなり、その厚みは1000nm程度である。コンタクト電極17も、窪み部13と同様に、光入射方向から見て、Cの字状に形成されることとなる。

【0039】

受光部11の表面側、すなわち層構造体LS1の一方面側には、受光領域9を覆うようにパッシベーション膜19が形成されている。パッシベーション膜19は、例えばSiNxからなる。本実施形態において、パッシベーション膜19は反射防止膜として機能する。このため、パッシベーション膜19の厚みは、パッシベーション膜19の屈折率をnとし、受光波長をλとするとき、 $\lambda/4n$ に設定されている。例えば、波長帯0.85μmの近距離光信用光検出素子の場合、パッシベーション膜19の厚みは、1000～3000Åとなる。なお、パッシベーション膜19とは別に反射防止膜を形成するように構成してもよい。

【0040】

高濃度キャリア層3(3a)は、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{18}/cm^3$ 程度のAlGaAs(A1組成0.3)からなる。高濃度キャリア層3(3a)の厚みは2μm程度である。高濃度キャリア層3のA1組成比は0.3以上とするのが好ましい。波長0.85μm以上の光を検出するのであればA1組成比xは0.04であればよいが、より好適な高濃度キャリア層3としてはA1組成比は0.3以上が好ましい。ただし、高濃度キャリア層3のA1組成比は、検出する光の波長により適宜決定されて良く、例えば、波長0.65μmの短波長光を検出するのであれば、A1組成比は0.4以上が必要となる。

【0041】

光吸収層5(5a)は、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{14}/cm^3$ 程度のGaAsからなる。光吸収層5(5a)の厚みは3μm程度である。

【0042】

キャップ層7(7a)は、化合物半導体層であって、例えばキャリア濃度が $5 \times 10^{15}/cm^3$ 程度のAlGaAs(A1組成0.3)からなる。キャップ層7(7a)の厚みは0.3μm程度である。

【0043】

受光領域9は、層構造体LS1の一方面側に形成されている。この受光領域9は、キャップ層7aの所望の領域にP型不純物（例えば、Zn）を熱拡散させ、当該領域をp型に反転させたものであり、その深さは0.4μm程度である。受光領域9の径は、5～200μmφである。窪み部13（溝）の幅は、5μm程度である。ただし、受光径は、光検出素子に求められる特性に依存するので、1μm～10mmまでの広い範囲で設計可能である。

【0044】

層構造体LS1の一方面側には、第1電極部21が配置されている。第1電極部21は、コンタクト電極23と、後述する電極部分25aとを含んでいる。コンタクト電極23は、受光領域9の表面側に環状に形成されており、受光領域9と電気的に接続されている。コンタクト電極23はTi/Pt/Auからなり、その厚みは1000nm程度である。なお、コンタクト電極23は、図2において、受光領域9（キャップ層7a）に埋め込まれるように配置されているが、これに限られることなく、受光領域9（キャップ層7a）の上に配置するようにしてもよい。

【0045】

コンタクト電極23には、第1配線電極25が電気的に接続されている。第1配線電極25は、受光部11と窪み部12との間にわたり、パッシベーション膜19の上に配置されている。第1配線電極25は、受光部11の頂部上に配置される電極部分25aと、窪み部12に配置される電極部分25bとを有している。第1配線電極25はTi/Pt/Auからなり、その厚みは1.5μm程度である。第1配線電極25における受光部11上に位置する電極部分25aは、受光領域9を覆うことなくコンタクト電極23上に位置し、環状とされている。第1配線電極25の電極部分25aは、パッシベーション膜19に形成されたコンタクトホール19aを通してコンタクト電極23に接続されている。

【0046】

層構造体LS1の他方面側には、第2電極部としての第1パッド電極27が配置されている。第1パッド電極27はTi/Pt/Auからなり、その厚みは1.5μm程度である。第1パッド電極27は、電気絶縁膜20、エッチング停止層2及びパッシベーション膜19に形成されたコンタクトホール29を通して第1配線電極25（電極部分25b）に電気的に接続される。これにより、コンタクト電極23は、第1配線電極25を通して第1パッド電極27に電気的に接続されることとなる。第1パッド電極27には、バンプ電極41が配置される。

【0047】

また、層構造体LS1の他方面側には、第3電極部31が配置されている。第3電極部31は、第2パッド電極33と、第2配線電極35とを含んでいる。第2パッド電極33及び第2配線電極35はTi/Pt/Auからなり、その厚みは1.5μm程度である。第2パッド電極33は、電気絶縁膜20、エッチング停止層2及び高濃度キャリア層3に形成されたコンタクトホール37を通して高濃度キャリア層3a及びコンタクト電極17に電気的に接続される。第2配線電極35は、受光領域9に対応して当該受光領域9の裏面側を覆うように形成されており、光反射膜として機能する。なお、第2配線電極35とは別に光反射膜を形成するように構成してもよい。第2パッド電極33には、第1パッド電極27と同じく、バンプ電極41が配置される。

【0048】

受光領域9からの電極の取り出しは、コンタクト電極23、第1配線電極25、第1パッド電極27及びバンプ電極41により実現される。高濃度キャリア層3aからの電極の取り出しは、コンタクト電極17、第2パッド電極33及びバンプ電極41により実現される。

【0049】

層構造体LS1の一方面側には、受光領域9及び第1電極部21（コンタクト電極23及び第1配線電極25の電極部分25a）を覆うように膜10が形成されている。膜10は、酸化シリコン(SiO₂)からなり、層構造体LS1とは反対側の面10aが平坦化

されている。膜10の厚みは、3～10 μm 程度である。

【0050】

ガラス基板1は、膜10における層構造体LS1とは反対側の面10aに接触して貼り合わされている。ガラス基板1は、その厚みが0.3mm程度であり、入射光に対して光学的に透明である。

【0051】

次に、上述した構成の半導体光検出素子PDLの製造方法について、図3～図15を参照して説明する。図3～図15は、第1実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0052】

本製造方法では、以下の工程(1)～(13)を順次実行する。

【0053】

工程(1)

まず、半導体基板51を用意する。半導体基板51は、例えは、その厚みが300～500 μm であり、キャリア濃度が $1 \times 10^{18}/\text{cm}^3$ 程度のn型GaAsからなる。半導体基板51の上に、ハイドライド気相成長法、クロライド気相成長法、有機金属化学気相蒸着法(MOCVD法)又は分子線成長法(MBE法)等により、バッファ層53及びエッチング停止層2を順次成長させて、積層する(図3参照)。その後、エッチング停止層2の上に、ハイドライド気相成長法、クロライド気相成長法、MOCVD法又はMBE法等により、n型の高濃度キャリア層3、n型の光吸収層5及びn型のキャップ層7を順次成長させて、積層する(図3参照)。

【0054】

バッファ層53は、ノンドープのGaAsからなり、その厚みは0.05 μm 程度である。エッチング停止層2は、ノンドープのAlGaAs(A1組成0.4)からなり、その厚みは1.0 μm 程度である。エッチング停止層2は、半導体基板51と高濃度キャリア層3との間に位置するように形成されることとなる。エッチング停止層2のA1組成比は0.4以上とするのが好ましい。これは、このAl_{0.5}Ga_{0.5}Asは、後述するGaAsをエッチングする際に使用されるエッチング液によってエッチングされにくいためである。

【0055】

上記工程(1)により、層構造体LS1及びバッファ層53が半導体基板51の一方面側に形成されることとなる。

【0056】

工程(2)

次に、キャップ層7上に、SiO₂又はSiNxからなる膜55を形成する。そして、受光領域9を形成する予定位置に存在する膜55をパターニングして開口する(図4参照)。その後、キャップ層7上にパターン化された膜55をマスクとして、不純物(例えは、Zn等)を熱拡散させ、キャップ層7の一部をp型に反転させる。これにより、受光領域9が、層構造体LS1における半導体基板51とは反対側に位置する一方面側に形成されることとなる(図4参照)。そして、膜55をバッファードフッ酸(BHF)により除去する。

【0057】

工程(3)

次に、キャップ層7上に、窪み部13を形成する予定位置に開口を有するレジスト膜56を形成する。レジスト膜56の形成は、フォトリソグラフィ法を用いることができる。そして、レジスト膜56をマスクとして、Br₂とメタノールとの混合液により高濃度キャリア層3が露出するまでエッチング(ウェットエッチング)する。これにより、窪み部13が形成されることとなる(図5参照)。続いて、レジスト膜56を除去(リムーブ)する。

【0058】

工程（4）

次に、キャップ層7上に、窪み部12を形成する予定位置に開口を有するレジスト膜57を形成する。レジスト膜57の形成は、フォトリソグラフィ法を用いることができる。そして、レジスト膜57をマスクとして、Br₂とメタノールとの混合液によりエッチング停止層2が露出するまでエッチング（ウェットエッチング）し、窪み部12を形成する。これにより、受光部11がメサ状に形成される（図6参照）。すなわち、受光部11が高濃度キャリア層3a、光吸収層5a及びキャップ層7aを含むこととなる。このとき、外側部分11bに対応する位置にレジスト膜57を存在させておくことにより、深さ方向だけでなく横方向へのエッチングの進行を適切に制御することができ、窪み部13の形成、及び、受光部11の形成を適切に行うことができる。この結果、半導体光検出素子P D1を製造する際の歩留まりを高くすることができる。続いて、レジスト膜57を除去する。

【0059】

工程（5）

次に、窪み部13に対応する位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、窪み部13が形成されることにより露出した高濃度キャリア層3（3a）上に、蒸着とリフトオフ法とによりAu—Ge/Ni/Auからなるコンタクト電極17を形成する（図7参照）。また、コンタクト電極23を形成する予定位置に開口を有するようにレジスト膜を再度形成し直し、当該レジスト膜をマスクとして、受光領域9に蒸着とリフトオフ法とによりTi/Pt/Auからなるコンタクト電極23を形成する（同じく図7参照）。続いて、上記レジスト膜を除去する。なお、コンタクト電極23は、図7において、受光領域9（キャップ層7a）に埋め込まれるように形成しているが、これに限られることなく、受光領域9（キャップ層7a）の表面上に形成するようにしてもよい。

【0060】

工程（6）

次に、PCVD法により、表面にSiN_Xからなるパッシベーション膜19を形成する。そして、コンタクト電極17、23に対応する位置に開口を有するレジスト膜（図示せず）を形成し、当該レジスト膜をマスクとして、パッシベーション膜19にコンタクトホール19aを形成する（図8参照）。続いて、上記レジスト膜を除去する。

【0061】

工程（7）

次に、第1配線電極25に対応する位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、リフトオフ法により、Ti/Pt/Auからなる第1配線電極25を形成する（図9参照）。上記工程（6）及び（7）により、層構造体LS1の一方面側に第1電極部21が形成されることとなる。続いて、上記レジスト膜を除去する。その後、H₂雰囲気にてシンターする。

【0062】

工程（8）

次に、受光領域9及び第1電極部21を覆うように層構造体LS1の一方面側に膜10を形成して平坦化する（図10参照）。ここでは、膜10における層構造体LS1とは反対側の面10aは、層構造体LS1及び半導体基板51を含む構造体における層構造体LS1側の最表面として、平坦化されることとなる。膜10の形成には、プラズマ化学気相蒸着（Plasma Chemical Vapor Deposition: PCVD）法又は塗布法等を用いることができる。なお、ここで言う「平坦」とは、必ずしも凹凸が全く存在しないことを表すものではない。後述する工程（9）において膜10を介してガラス基板1と半導体基板51とを重ね合わせて加圧及び加熱した際に、ガラス基板1の表面と膜10の面10aとが互いに接触した状態でガラス基板1と膜10とが融着するのであれば、僅かな凹凸が存在してもよい。

【0063】

工程（9）

次に、層構造体LS1、バッファ層53及び膜10が形成された半導体基板51とガラス基板1とを接着する（図11参照）。まず、ガラス基板1を用意し、当該ガラス基板1の一方面（表面）を清浄化する。次に、ガラス基板1の清浄化された表面と膜10における層構造体LS1とは反対側の面10aとが互いに接触するように、ガラス基板1と半導体基板51とを重ね合わせる。このように重ね合わせた状態で加圧及び加熱を行い、ガラス基板1と膜10とを融着により貼り合わせる。

【0064】

具体的には、重ね合わせたガラス基板1と半導体基板51との間に加える圧力は約98kPaであり、このときの加熱温度としては500～700℃が好ましい。半導体基板51上の最表面側となる膜10は酸化シリコンより成るので、このような条件で加圧及び加熱を行うことにより、膜10における層構造体LS1とは反対側の面10aとガラス基板1の表面とが融着し、半導体基板51とガラス基板1とが互いに接着される。

【0065】

なお、この貼り合わせ工程を実施するに際しては、ガラス基板1の表面ばかりではなく、膜10における層構造体LS1とは反対側の面10aも清浄であることが望ましい。そのためには、例えば、膜10を形成したPCVD装置から半導体基板51を取り出した直後に融着作業を行うなどの工夫をするとよい。

【0066】

また、使用するガラス基板は、GaAsの熱膨張係数に近いものを使用するのが好適である。これにより、加熱後の冷却工程において、熱膨張係数の差により半導体基板51とガラス基板1との間に生じる応力を極力低減でき、応力に起因する接着強度の低下および結晶欠陥の発生を最小限に抑えることができる。

【0067】

工程（10）

次に、半導体基板51を除去する。ガラス基板1と半導体基板51とが接着された後には、ガラス基板1の反対側において、半導体基板51の他方面（裏面）が露出されている。この工程では、半導体基板51の裏面側から、半導体基板51及びバッファ層53をエッティングにより除去する（図12参照）。

【0068】

半導体基板51及びバッファ層53をエッティングすることができ、エッティング停止層2に対しエッティング速度の遅いエッティング液を用いて、半導体基板51及びバッファ層53を除去する。これにより、層構造体LS1等が積層されたガラス基板1が得られる。使用的エッティング液としては、アンモニア水（NH₄OH）と過酸化水素水（H₂O₂）との混合溶液（NH₄OH:H₂O₂=1:5）が好ましい。まず、互いに貼り合わされたガラス基板1と半導体基板51とをNH₄OHとH₂O₂との混合溶液に浸す。これにより、半導体基板51は裏面側よりエッティングされていく。エッティングが進み、半導体基板51及びバッファ層53が除去されると、エッティング液中でエッティング停止層2が露出される。エッティング停止層2（Al_{0.5}Ga_{0.5}As）は、このエッティング液ではエッティング速度が非常に遅いので、エッティング停止層2が露出されたときにエッティングが自動的に停止される。このようにして、半導体基板51及びバッファ層53が除去される。なお、半導体基板51及びバッファ層53を化学機械研磨（CMP）により除去してもよい。

【0069】

工程（11）

次に、PCVD法により、エッティング停止層2（層構造体LS1）の他方面にSiNxからなる電気絶縁膜20を形成する（図13参照）。

【0070】

工程（12）

次に、電気絶縁膜20の上に、コンタクトホール37を形成する予定位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、コンタクト電極17が露出するまで、電気絶縁膜20、エッチング停止層2及び高濃度キャリア層3をエッチング（ウェットエッチング）する。これにより、コンタクトホール37が形成される（図14参照）。使用するエッチング液としては、電気絶縁膜20に対してはバッファードフッ酸（HF）、エッチング停止層2に対しては塩酸（HCl）、高濃度キャリア層3はアンモニア水（NH₄OH）と過酸化水素水（H₂O₂）との混合溶液（NH₄OH:H₂O₂=1:5）が好ましい。続いて、上記レジスト膜を除去する。

【0071】

次に、電気絶縁膜20の上に、コンタクトホール29を形成する予定位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、第1配線電極25（電極部分25b）が露出するまで、電気絶縁膜20、エッチング停止層2及びバッシベーション膜19をエッチング（ウェットエッチング）する。これにより、コンタクトホール29が形成される（同じく図14参照）。使用するエッチング液としては、電気絶縁膜20に対してはバッファードフッ酸（HF）、エッチング停止層2に対しては塩酸（HCl）、バッシベーション膜19にはバッファードフッ酸（HF）が好ましい。続いて、上記レジスト膜を除去する。

【0072】

工程（13）

次に、第1パッド電極27、第2パッド電極33、及び第2配線電極35に対応する位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、リフトオフ法により、Ti/Pt/Auからなる第1パッド電極27、第2パッド電極33、及び第2配線電極35を形成する（図15参照）。このとき、第2配線電極35は受光領域9の裏面（光入射面とは反対側の面）側を覆うように形成される。ここで、第2パッド電極33と第2配線電極35とは一体に形成されることとなる。続いて、上記レジスト膜を除去する。その後、H₂雰囲気にてシンターする。なお、第2パッド電極33と第2配線電極35とを一体に成形しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。

【0073】

これらの工程（1）～（13）により、図1及び図2に示された構成の半導体光検出素子PDLが完成する。

【0074】

なお、バンプ電極41は、メッキ法、半田ボール搭載法や印刷法で第1パッド電極（第2電極部）27及び第2パッド電極33に半田を形成し、リフローすることによって得ることができる。また、バンプ電極41は半田に限られるものではなく、金バンプ、ニッケルバンプ、銅バンプでもよく、導電性フィラー等の金属を含む導電性樹脂バンプでもよい。

【0075】

以上のように、本第1実施形態においては、高濃度キャリア層3、光吸収層5、及びキャップ層7等を薄膜化した場合でも、層構造体LS1（高濃度キャリア層3、光吸収層5、及びキャップ層7等）の機械的強度がガラス基板1及び膜10により保たれることとなる。また、本第1実施形態においては、従来の半導体光検出素子のように、基板厚みを残した部分を形成する必要はなく、半導体光検出素子PDLの小型化を容易に図ることができる。

【0076】

また、本第1実施形態においては、層構造体LS1の他方面側に第1パッド電極27及び第3電極部31（第2パッド電極33及び第2配線電極35）が配置されており、当該半導体光検出素子PDLを層構造体LS1の他方面（受光領域9が配置された一方の裏面）側を外部基板等の実装面に對向させた状態で実装することができる。この結果、半導体光検出素子PDLの実装を容易に行うことができる。

【0077】

また、本第1実施形態においては、層構造体LS1は膜10を介してガラス基板1に接着されているので、層構造体LS1とガラス基板1とを接着剤等を用いることなく接着することができる。そのため、ガラス基板1側から入射した光は、上記接着剤等により吸収されることなく層構造体LS1(受光領域9)に到達し得る。この結果、光検出感度が低下するのを防ぐことができる。

【0078】

また、本第1実施形態においては、高濃度キャリア層3a、光吸収層5a及び受光領域9が形成されたキャップ層部分7aを含むように、受光部11がメサ状とされて分離されている。これにより、寄生容量をより一層低減することができる。

【0079】

また、本第1実施形態において、第1電極部21(コンタクト電極23、及び、第1配線電極25の電極部分25a)は、受光部11を囲むように形成された窪み部12に形成された第1配線電極25の電極部分25bを通して第1パッド電極(第2電極部)27と電気的に接続されており、第3電極部31(第2パッド電極33及び第2配線電極35)は、受光部11に含まれる高濃度キャリア層部分3aに電気的に接続されている。これにより、上記窪み部12に形成した第1配線電極25の電極部分25bを、層構造体LS1を貫通する貫通電極の一部として利用することができ、当該貫通電極の形成を極めて容易に行うことができる。最終的に層構造体LS1を貫通させるコンタクトホール29を形成する手法として、ウエットエッチング技術を用いることができ、低成本で歩留まりよく半導体光検出素子PD1を製造することができる。

【0080】

また、本第1実施形態では、受光部11の高濃度キャリア層3aから電極が直接引き出されこととなり、直列抵抗を大幅に低減することができる。

【0081】

また、層構造体LS1における他方面側には、受光領域9に対応して第2配線電極35が形成されている。これにより、吸収されずに光吸収層5aを一度通り抜けた光が第2配線電極35で反射し、もう一度光吸収層5aに入射して吸収されるので、光感度をより一層向上することができる。

【0082】

また、本第1実施形態に係る製造方法においては、層構造体LS1の一方面側に受光領域9及び第1電極部21を覆うように膜10が形成され、この膜10における層構造体LS1とは反対側の面10aがガラス基板1の一方面と接触するように、膜10とガラス基板1とが貼り合わせられた後に、半導体基板51が除去される。これにより、層構造体LS1の一方面側に膜10を介してガラス基板1が接着された構成を有する半導体光検出素子PD1を容易に製造することができる。

【0083】

また、本第1実施形態に係る製造方法では、半導体基板51が除去された後もガラス基板1及び膜10が存在するので、その後の製造工程においても、層構造体LS1の機械的強度が上記ガラス基板1及び膜10により保たれることとなる。なお、ガラス基板1を接着する前は、半導体基板51により層構造体LS1の機械的強度が保たれることとなる。

【0084】

また、本第1実施形態に係る製造方法においては、半導体基板51をウエットエッチングにより除去し、層構造体LS1を形成する工程では、ウエットエッチングを停止させるエッチング停止層2を半導体基板51と高濃度キャリア層3との間に位置させるように形成している。これにより、半導体基板51をエッチング可能であり、エッチング停止層2をエッチング可能でないエッチング液を用いることで、半導体基板51を選択的に除去できる。そのため、高濃度キャリア層3、光吸収層5、及びキャップ層7を残して半導体基板51を確実且つ容易に除去できる。

【0085】

（第2実施形態）

図16は、第2実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第2実施形態に係る半導体光検出素子P D 2は、ガラス基板1にレンズ部1aが形成されている点で第1実施形態に係る半導体光検出素子P D 1と相違する。

【0086】

半導体光検出素子P D 2は、層構造体LS 1と、ガラス基板1とを備えている。この半導体光検出素子P D 2は、光がガラス基板1側から層構造体LS 1に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 2は、例えば波長帯0.85μmの近距離光信用光検出素子である。

【0087】

ガラス基板1には、入射光を集光するレンズ部1aが形成されている。このレンズ部1aは、ガラス基板1の最表面1bより窪んで形成されている。

【0088】

次に、上述した構成の半導体光検出素子P D 2の製造方法について、図17を参照して説明する。図17は、第2実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0089】

本製造方法では、以下の工程(1)～(13)を順次実行する。まず、工程(1)～(8)については、上述の第1実施形態における工程(1)～(8)と同じであり、説明を省略する。

【0090】

工程(9)

次に、層構造体LS 1、バッファ層53及び膜10が形成された半導体基板51とガラス基板1とを接着する(図17参照)。まず、レンズ部1aが形成されたガラス基板1を用意し、当該ガラス基板1の一方面(表面)を清浄化する。次に、ガラス基板1の清浄化された表面と膜10における層構造体LS 1とは反対側の面10aとが互いに接触するよう、ガラス基板1と半導体基板51とを重ね合わせる。このように重ね合わせた状態で加圧及び加熱を行い、ガラス基板1と膜10とを融着により貼り合わせる。半導体基板51とガラス基板1との接着方法は、第1実施形態における工程(9)における接着方法と同じである。

【0091】

半導体基板51(受光領域9)とガラス基板1(レンズ部1a)との位置合わせは、ガラス基板1の表面側にマーカを付与し且つ両面露光機を用いることで、付与したマーカを基準として容易に行うことができる。なお、マーカを付与する代わりに、レンズ部1aの外形をマーカとして利用してもよい。

【0092】

工程(10)～(13)の工程は、第1実施形態における工程(10)～(13)と同じであり、ここでの説明を省略する。これらの工程(1)～(13)により、図16に示された構成の半導体光検出素子P D 2が完成する。

【0093】

以上のように、本第2実施形態においては、上述した第1実施形態と同じく、層構造体LS 1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1及び膜10により保たれると共に、半導体光検出素子P D 2の小型化を容易に図ることができる。また、半導体光検出素子P D 2の実装を容易に行うことができる。

【0094】

また、本第2実施形態においては、ガラス基板1には、レンズ部1aが形成されている。これにより、入射光の照射範囲に比べて受光領域9が小さい場合であっても、効率よく入射光を集光することができる。この結果、S/N比に優れ、信頼性の高い半導体光検出素子P D 2を得ることができる。

【0095】

また、本第2実施形態において、レンズ部1aは、ガラス基板1の最表面1bより窪んで形成されている。これにより、レンズ部1aが形成されたガラス基板1を容易に接着することができる。また、接着前にレンズ部1aが加工されることとなるので、加工方法等に制限を受けることが少なく、レンズ形状等の設計の自由度が増加する。

【0096】

なお、レンズ部1aは、層構造体LS1及び膜10が形成された半導体基板51とガラス基板1とを接着した後に形成してもよい。しかしながら、レンズ形状等の設計の自由度を考慮すると、レンズ部1aを予め形成したガラス基板1を半導体基板51に接着することが好ましい。

【0097】

(第3実施形態)

図18は、第3実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第3実施形態に係る半導体光検出素子PD3は、ガラス基板1及び膜10の代わりに酸化シリコン(SiO₂)あるいは樹脂からなる膜が形成されている点で第1実施形態に係る半導体光検出素子PD1と相違する。

【0098】

半導体光検出素子PD3は、層構造体LS1と、膜60とを備えている。この半導体光検出素子PD3は、光が膜60側から層構造体LS1に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子PD3は、例えば波長帯0.85μmの近距離光信用光検出素子である。

【0099】

層構造体LS1の一方面側には、受光領域9及び第1電極部21(コンタクト電極23及び第1配線電極25の電極部分25a)を覆うように膜60が形成されている。膜60は、酸化シリコンあるいは樹脂(例えば、ポリイミド樹脂や、PMMA、エポキシ樹脂等)からなる。膜60は、その厚みが50μm程度であり、入射光に対して光学的に透明である。

【0100】

次に、上述した構成の半導体光検出素子PD3の製造方法について、図19及び図20を参照して説明する。図19及び図20は、第3実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0101】

本製造方法では、以下の工程(1)～(12)を順次実行する。まず、工程(1)～(7)については、上述の第1実施形態における工程(1)～(7)と同じであり、説明を省略する。

【0102】

工程(8)

次に、受光領域9及び第1電極部21を覆うように層構造体LS1の一方面側に膜60を形成する(図19参照)。膜60の形成には、膜60が酸化シリコンからなる場合、シリコン酸化膜(SiO₂)を形成するための成膜ガスとしてTEOS(Tetraethylorthosilicate)を用いたPCVD法等を用いることができる。また、膜60が樹脂からなる場合、膜60の形成には、塗布法等を用いることができる。

【0103】

工程(9)

次に、半導体基板51を除去する。膜60を形成した後には、膜60の反対側において、半導体基板51の他方面(裏面)が露出されている。この工程では、半導体基板51の裏面側から、半導体基板51及びバッファ層53をエッチングにより除去する(図20参照)。半導体基板51及びバッファ層53のエッチング方法は、第1実施形態における工程(10)におけるエッチング方法と同じである。

【0104】

工程(10)～(12)の工程は、第1実施形態における工程(11)～(13)と同

じであり、ここでの説明を省略する。これらの工程（1）～（12）により、図18に示された構成の半導体光検出素子P D 3が完成する。

【0105】

以上のように、本第3実施形態においては、上述した第1実施形態と同様に、層構造体L S 1（積層された高濃度キャリア層3、光吸収層5及びキャップ層7）の機械的強度が膜60により保たれると共に、半導体光検出素子P D 3の小型化を容易に図ることができる。また、半導体光検出素子P D 3の実装を容易に行うことができる。

【0106】

（第4実施形態）

図21は、第4実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第4実施形態に係る半導体光検出素子P D 4は、膜60にレンズ部60aが形成されている点で第3実施形態に係る半導体光検出素子P D 3と相違する。

【0107】

半導体光検出素子P D 4は、層構造体L S 1と、膜60とを備えている。この半導体光検出素子P D 4は、光が膜60側から層構造体L S 1に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 4は、例えば波長帯0.85μmの近距離光信用光検出素子である。

【0108】

膜60には、入射光を集光するレンズ部60aが形成されている。このレンズ部60aは、ウエットエッティングにより形成することができる。例えば、図22に示されるように、膜60の上に、所望の位置に開口を有するレジスト膜63を形成する。そして、図23に示されるように、レジスト膜63をマスクとして、膜60をウエットエッティングする。ウエットエッティングでは、等方的にエッティングが進行するため、レジスト膜63の開口と受光領域9との位置関係を適切に設定することにより、レンズ効果を有するレンズ部60aが形成されることとなる。

【0109】

以上のように、本第4実施形態においては、上述した第1実施形態と同様に、層構造体L S 1（積層された高濃度キャリア層3、光吸収層5及びキャップ層7）の機械的強度が膜60により保たれると共に、半導体光検出素子P D 4の小型化を容易に図ることができる。また、半導体光検出素子P D 4の実装を容易に行うことができる。

【0110】

また、本第4実施形態においては、膜60には、レンズ部60aが形成されている。これにより、入射光の照射範囲に比べて受光領域9が小さい場合であっても、効率よく入射光を集光することができる。この結果、S/N比に優れ、信頼性の高い半導体光検出素子P D 4を得ることができる。

【0111】

（第5実施形態）

図24は、第5実施形態に係る半導体光検出素子を示す概略平面図である。図25は、図24におけるXXV-XXV線に沿った断面構成を説明するための模式図である。なお、図24においては、バンプ電極41の図示を省略している。

【0112】

半導体光検出素子P D 5は、層構造体L S 2と、ガラス基板1とを備えている。この半導体光検出素子P D 5は、光がガラス基板1側から層構造体L S 2に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 5は、例えば波長帯0.85μmの近距離光信用光検出素子である。

【0113】

層構造体L S 2は、順次積層された、n型（第一導電型）の高濃度キャリア層3、n型の光吸収層5、及びn型のキャップ層7を含んでいる。キャップ層7aには、p型（第2導電型）の受光領域9が形成されている。層構造体L S 2の一方面側には、パッシベーション膜19が形成されている。層構造体L S 2の他方面側には、電気絶縁膜20が形成さ

れている。

【0114】

層構造体LS2の一方面側には、第1電極部としてのコンタクト電極71がパッシベーション膜19の上に配置されている。コンタクト電極71は、パッシベーション膜19に形成されたコンタクトホール19aを通して、受光領域9と電気的に接続されている。コンタクト電極71は、Ti/Pt/Auからなり、その厚みは1.5μm程度である。

【0115】

層構造体LS2には、一方面側から他方面側に貫通する貫通孔THが形成されている。貫通孔THを画成する層構造体LS2の壁面上にも、電気絶縁膜20が形成されている。貫通孔TH内には、電気絶縁膜20の内側に貫通配線73が設けられている。貫通配線73の一端部は、電気絶縁膜20に形成されたコンタクトホール20aを通して、コンタクト電極71と電気的に接続されている。

【0116】

層構造体LS2の他方面側には、第1パッド電極27（第2電極部）と、第3電極部81が配置されている。第1パッド電極27は、貫通配線73を覆うように形成され、当該貫通配線73の他端部に電気的に接続されている。第1パッド電極27には、バンプ電極41が配置される。受光領域9からの電極の取り出しあは、コンタクト電極71、貫通配線73、第1パッド電極27及びバンプ電極41により実現される。

【0117】

第3電極部81は、コンタクト電極83、第2パッド電極33、及び第2配線電極35を含んでいる。コンタクト電極83は、電気絶縁膜20に形成されたコンタクトホール20bを通して、高濃度キャリア層3と電気的に接続されている。第2パッド電極33及び第2配線電極35は、コンタクト電極83を覆うように形成され、当該コンタクト電極83と電気的に接続されている。第2パッド電極33には、第1パッド電極27と同じく、バンプ電極41が配置される。高濃度キャリア層3からの電極の取り出しあは、コンタクト電極83、第2パッド電極33及びバンプ電極41により実現される。

【0118】

第2配線電極35は、受光領域9に対応して当該受光領域9の裏面側を覆うように形成されており、光反射膜として機能する。なお、第2配線電極35とは別に光反射膜を形成するように構成してもよい。

【0119】

層構造体LS2の一方面側には、受光領域9及びコンタクト電極71を覆うように膜10が形成されている。ガラス基板1は、膜10における層構造体LS2とは反対側の面10aに接触して貼り合わされている。ガラス基板1は、その厚みが0.3mm程度であり、入射光に対して光学的に透明である。

【0120】

次に、上述した構成の半導体光検出素子PDS5の製造方法について、図26～図32を参照して説明する。図26～図32は、第5実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0121】

本製造方法では、以下の工程（1）～（10）を順次実行する。まず、工程（1）及び（2）については、上述の第1実施形態における工程（1）及び（2）と同じであり、説明を省略する。

【0122】

工程（3）

次に、PCVD法により、キャップ層7（層構造体LS2）の表面にSiNxからなるパッシベーション膜19を形成する（図26参照）。

【0123】

工程（4）

次に、コンタクト電極71に対応する位置に開口を有するレジスト膜（図示せず）を形

成し、当該レジスト膜をマスクとしてバッシベーション膜19をバッファドフッ酸(BHF)により除去し、バッシベーション膜19にコンタクトホール19aを形成する(図27参照)。続いて、上記レジスト膜を除去する。

【0124】

次に、コンタクトホール19aに対応する位置に開口を有するレジスト膜(図示せず)を再度形成する。そして、このレジスト膜をマスクとして、コンタクトホール19aが形成されることにより露出した受光領域9上に、蒸着とリフトオフ法とによりTi/Pt/Auからなるコンタクト電極71を形成する(同じく図27参照)。続いて、上記レジスト膜を除去する。

【0125】

工程(5)

次に、受光領域9(バッシベーション膜19)及びコンタクト電極71を覆うように層構造体LS2の一方面側に膜10を形成して平坦化する(図28参照)。ここでは、膜10における層構造体LS2とは反対側の面10aは、層構造体LS2及び半導体基板51を含む構造体における層構造体LS2側の最表面として、平坦化されることとなる。膜10の形成方法は、第1実施形態における工程(8)における形成方法と同じである。

【0126】

工程(6)

次に、層構造体LS2、エッチング停止層2、及び膜10が形成された半導体基板51とガラス基板1とを接着する(図29参照)。ガラス基板1の接着方法は、第1実施形態における工程(9)における接着方法と同じである。

【0127】

工程(7)

次に、半導体基板51を除去する。ガラス基板1と半導体基板51とが接着された後には、ガラス基板1の反対側において、半導体基板51の他方面(裏面)が露出されている。この工程では、半導体基板51の裏面側から、半導体基板51、バッファ層53及びエッチング停止層2をエッチングにより除去する(図30参照)。

【0128】

まず、半導体基板51及びバッファ層53をエッチングすることができ、エッチング停止層2に対しエッチング速度の遅いエッティング液を用いて、半導体基板51及びバッファ層53を除去する。続けて、エッティング停止層2をエッティングすることができ、高濃度キャリア層3のAlGaAs層に対してエッティング速度の遅いエッティング液を用いて、エッティング停止層2を除去する。これにより、層構造体LS2等が積層されたガラス基板1が得られる。

【0129】

半導体基板51及びバッファ層53のエッティング方法は、第1実施形態における工程(10)におけるエッティング方法と同じである。

【0130】

エッティング停止層2及び層構造体LS2等が残ったガラス基板1をNH₄OHとH₂O₂との混合溶液より取り出し、水洗、乾燥した後に、磷酸(H₃PO₄)と過酸化水素水と水との混合溶液(H₃PO₄:H₂O:H₂O₂=4:90:1)に浸す。AlGaAsは、磷酸と過酸化水素水と水との混合溶液ではほとんどエッティングされないので、今度はエッティング停止層2のみがエッティングされ、高濃度キャリア層3のAlGaAs層が露出されたときにエッティングが自動的に停止される。このようにして、エッティング停止層2が除去される。なお、半導体基板51、バッファ層53及びエッティング停止層2を化学機械研磨(CMP)により除去してもよい。

【0131】

工程(8)

【0132】

次に、高濃度キャリア層3（層構造体LS2）上に、貫通孔THを形成する予定位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、コンタクト電極71が露出するまで、層構造体LS2及びバッシベーション膜19をエッチング（ドライエッチング）する。これにより、貫通孔THが形成される（図31参照）。続いて、レジスト膜を除去する。このドライエッチングは、数 μ m程度のエッチングであり、極めて容易に行うことができる。

【0133】

次に、PCVD法により、高濃度キャリア層3（層構造体LS2）の表面にSiNxからなる電気絶縁膜20を形成する（同じく図31参照）。これにより、貫通孔THを画成する層構造体LS2の壁面上にも電気絶縁膜20が形成されることとなる。

【0134】

工程（9）

次に、電気絶縁膜20の上に、コンタクト電極83に対応する位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして電気絶縁膜20をBHFにより除去し、電気絶縁膜20にコンタクトホール20bを形成する（同じく図31参照）。続いて、上記レジスト膜を除去する。

【0135】

次に、コンタクト電極83に対応する位置に開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、リフトオフ法により、Ti/Pt/Auからなるコンタクト電極83を形成する（同じく図31参照）。続いて、上記レジスト膜を除去する。

【0136】

工程（10）

次に、電気絶縁膜20の上に、貫通配線73及び第1パッド電極27に対応する位置にそれぞれ開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして電気絶縁膜20をBHFにより除去し、電気絶縁膜20にコンタクトホール20aを形成する（図32参照）。これにより、コンタクト電極71が露出することとなる。続いて、上記レジスト膜を除去する。

【0137】

次に、第1パッド電極27（貫通配線73）、第2パッド電極33、及び第2配線電極35に対応する位置にそれぞれ開口を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして、リフトオフ法により、Ti/Pt/Auからなる第1パッド電極27（貫通配線73）、第2パッド電極33、及び第2配線電極35を形成する（同じく図32参照）。ここで、第1パッド電極27と貫通配線73とは一体に形成されることとなる。また、第2パッド電極33と第2配線電極35とは一体に形成されることとなる。続いて、上記レジスト膜を除去する。その後、H₂雰囲気にてシンターする。なお、第1パッド電極27と貫通配線73とを一体に成形しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。同じく、第2パッド電極33と第2配線電極35とを一体に成形しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。

【0138】

これらの工程（1）～（10）により、図24及び図25に示された構成の半導体光検出素子PD5が完成する。

【0139】

以上のように、本第5実施形態においては、上述した第1実施形態と同様に、層構造体LS2（積層された高濃度キャリア層3、光吸収層5及びキャップ層7）の機械的強度がガラス基板1及び膜10により保たれると共に、半導体光検出素子PD5の小型化を容易に図ることができる。また、半導体光検出素子PD5の実装を容易に行うことができる。

【0140】

また、本第5実施形態において、コンタクト電極71は、層構造体LS2を貫通する貫

通配線 7 3 を通して第 1 パッド電極 2 7 と電気的に接続されており、第 2 パッド電極 3 3 は、高濃度キャリア層 3 に電気的に接続されている。これにより、コンタクト電極 7 1 と第 1 パッド電極 2 7 との電気的な接続を貫通配線 7 3 にて確実に行うことができる。また、高濃度キャリア層 3 から電極が直接引き出されることとなり、直列抵抗を大幅に低減することができる。

【0 1 4 1】

また、本第 5 実施形態に係る製造方法においては、半導体基板 5 1 を除去した後に、エッチング停止層 2 をウエットエッチングにより除去している。この場合、エッチング停止層 2 をエッチング可能であり、高濃度キャリア層 3 をエッチング可能でないエッチング液を用いることで、エッチング停止層 2 だけを選択的に除去できる。そのため、層構造体 L S 2 を残してエッチング停止層 2 を確実且つ容易に除去できる。

【0 1 4 2】

(第 6 実施形態)

図 3 3 は、第 6 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第 6 実施形態に係る半導体光検出素子 P D 6 は、ガラス基板 1 にレンズ部 1 a が形成されている点で第 5 実施形態に係る半導体光検出素子 P D 5 と相違する。

【0 1 4 3】

半導体光検出素子 P D 6 は、層構造体 L S 2 と、ガラス基板 1 とを備えている。この半導体光検出素子 P D 6 は、光がガラス基板 1 側から層構造体 L S 2 に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子 P D 6 は、例え波長帯 0. 85 μ m の近距離光通信用光検出素子である。

【0 1 4 4】

ガラス基板 1 には、入射光を集光するレンズ部 1 a が形成されている。このレンズ部 1 a は、ガラス基板 1 の最表面 1 b より窪んで形成されている。

【0 1 4 5】

次に、上述した構成の半導体光検出素子 P D 6 の製造方法について、図 3 4 を参照して説明する。図 3 4 は、第 6 実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0 1 4 6】

本製造方法では、以下の工程 (1) ~ (10) を順次実行する。まず、工程 (1) ~ (5) については、上述の第 5 実施形態における工程 (1) ~ (5) と同じであり、説明を省略する。

【0 1 4 7】

工程 (6)

次に、層構造体 L S 2 、エッチング停止層 2 、及び膜 1 0 が形成された半導体基板 5 1 とガラス基板 1 とを接着する(図 3 4 参照)。まず、レンズ部 1 a が形成されたガラス基板 1 を用意し、当該ガラス基板 1 の一方面(表面)を清浄化する。次に、ガラス基板 1 の清浄化された表面と膜 1 0 における層構造体 L S 2 とは反対側の面 1 0 a とが互いに接触するように、ガラス基板 1 と半導体基板 5 1 とを重ね合わせる。このように重ね合わせた状態で加圧及び加熱を行い、ガラス基板 1 と膜 1 0 とを融着により貼り合わせる。レンズ部 1 a が形成されたガラス基板 1 と、半導体基板 5 1 との接着方法は、第 2 実施形態における工程 (9) における接着方法と同じである。

【0 1 4 8】

工程 (7) ~ (10) の工程は、第 5 実施形態における工程 (7) ~ (13) と同じであり、ここでの説明を省略する。これらの工程 (1) ~ (10) により、図 3 3 に示された構成の半導体光検出素子 P D 6 が完成する。

【0 1 4 9】

以上のように、本第 6 実施形態においては、上述した第 5 実施形態と同じく、層構造体 L S 2 (積層された高濃度キャリア層 3 、光吸収層 5 及びキャップ層 7) の機械的強度がガラス基板 1 及び膜 1 0 により保たれると共に、半導体光検出素子 P D 6 の小型化を容易

に図ることができる。また、半導体光検出素子P D 6 の実装を容易に行うことができる。

【0 1 5 0】

また、本第6実施形態においては、ガラス基板1には、レンズ部1aが形成されている。これにより、入射光の照射範囲に比べて受光領域9が小さい場合であっても、効率よく入射光を集光することができる。この結果、S/N比に優れ、信頼性の高い半導体光検出素子P D 6を得ることができる。

【0 1 5 1】

(第7実施形態)

図35は、第7実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第7実施形態に係る半導体光検出素子P D 7は、ガラス基板1及び膜10の代わりに酸化シリコン(SiO₂)あるいは樹脂からなる膜が形成されている点で第5実施形態に係る半導体光検出素子P D 5と相違する。

【0 1 5 2】

半導体光検出素子P D 7は、層構造体LS2と、膜60とを備えている。この半導体光検出素子P D 7は、光が膜60側から層構造体LS2に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 7は、例えは波長帯0.85μmの近距離光信用光検出素子である。

【0 1 5 3】

層構造体LS2の一方面側には、受光領域9及びコンタクト電極71を覆うように膜60が形成されている。膜60は、酸化シリコンあるいは樹脂(例えは、ポリイミド樹脂やPMMA、エポキシ樹脂等)からなる。膜60は、その厚みが50μm程度であり、入射光に対して光学的に透明である。

【0 1 5 4】

次に、上述した構成の半導体光検出素子P D 7の製造方法について、図36及び図37を参照して説明する。図36及び図37は、第7実施形態に係る半導体光検出素子の製造方法を説明するための説明図であり、半導体光検出素子の縦断面構成を示している。

【0 1 5 5】

本製造方法では、以下の工程(1)～(9)を順次実行する。まず、工程(1)～(4)については、上述の第5実施形態における工程(1)～(4)と同じであり、説明を省略する。

【0 1 5 6】

工程(5)

次に、受光領域9(バッシャーション膜19)及びコンタクト電極71を覆うように層構造体LS2の一方面側に膜60を形成する(図36参照)。膜60の形成方法は、第3実施形態における工程(8)における形成方法と同じである。

【0 1 5 7】

工程(6)

次に、半導体基板51を除去する。膜60を形成した後には、膜60の反対側において、半導体基板51の他方面(裏面)が露出している。この工程では、半導体基板51の裏面側から、半導体基板51及びエッチング停止層2をエッチングにより除去する(図37参照)。半導体基板51及びエッチング停止層2のエッチング方法は、上述の第5実施形態における工程(7)におけるエッチング方法と同じである。

【0 1 5 8】

工程(7)～(9)の工程は、第1実施形態における工程(8)～(10)と同じであり、ここでの説明を省略する。これらの工程(1)～(9)により、図35に示された構成の半導体光検出素子P D 7が完成する。

【0 1 5 9】

以上のように、本第7実施形態においては、上述した第5実施形態と同様に、層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子P D 7の小型化を容易に図ることができる。

る。また、半導体光検出素子P D 7 の実装を容易に行うことができる。

【0 1 6 0】

(第8実施形態)

図38は、第8実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。第8実施形態に係る半導体光検出素子P D 8 は、膜60にレンズ部60aが形成されている点で第7実施形態に係る半導体光検出素子P D 7 と相違する。

【0 1 6 1】

半導体光検出素子P D 8 は、層構造体LS2と、膜60とを備えている。この半導体光検出素子P D 8 は、光が膜60側から層構造体LS2に入射する表面入射型の半導体光検出素子である。また、半導体光検出素子P D 8 は、例えは波長帯0.85μmの近距離光信用光検出素子である。

【0 1 6 2】

膜60には、入射光を集光するレンズ部60aが形成されている。このレンズ部60aは、ウエットエッチングにより形成することができる。レンズ部60aを形成するためのウエットエッチングは、上述の第4実施形態にて記載したウエットエッチング方法と同じである。

【0 1 6 3】

以上のように、本第8実施形態においては、上述した第5実施形態と同様に、層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子P D 8 の小型化を容易に図ることができる。また、半導体光検出素子P D 8 の実装を容易に行うことができる。

【0 1 6 4】

また、本第8実施形態においては、膜60には、レンズ部60aが形成されている。これにより、入射光の照射範囲に比べて受光領域9が小さい場合であっても、効率よく入射光を集光することができる。この結果、S/N比に優れ、信頼性の高い半導体光検出素子P D 8 を得ることができる。

【0 1 6 5】

次に、本実施形態の変形例として、図39及び図40に基づいて、受光領域9が複数並設された半導体光検出素子アレイP DA1, P DA2について説明する。半導体光検出素子アレイP DA1, P DA2は、いわゆる表面入射型の半導体光検出素子アレイである。

【0 1 6 6】

半導体光検出素子アレイP DA1は、図39に示されるように、複数の受光部11(受光領域9)が、1次元もしくは2次元方向に配列されてアレイ状に複数並設されている。また、半導体光検出素子アレイP DA2は、図40に示されるように、複数の受光領域9が、1次元もしくは2次元方向に配列されてアレイ状に複数並設されている。なお、第2パッド電極33同士は互いに電気的に接続されている。

【0 1 6 7】

半導体光検出素子アレイP DA1においては、上述した第1実施形態と同じく、層構造体LS1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1により保たれる。また、受光部11(受光領域9)の狭ピッチ化が可能となり、半導体光検出素子アレイP DA1の小型化(コンパクト化)を容易に図ることができる。

【0 1 6 8】

半導体光検出素子アレイP DA2においては、上述した第5実施形態と同じく、層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1により保たれる。また、受光領域9の狭ピッチ化が可能となり、半導体光検出素子アレイP DA2の小型化(コンパクト化)を容易に図ることができる。

【0 1 6 9】

なお、半導体光検出素子アレイP DA1, P DA2において、ガラス基板1及び膜10を設ける代わりに、膜60を設けてもよい。また、各受光領域9に対応して、レンズ部を

形成してもよい。

【0170】

次に、図41を参照して、上述した実施形態に係る半導体光検出素子（半導体光検出素子アレイ）を用いた光インターフェクションシステムについて説明する。図41は、本実施形態に係る光インターフェクションシステムを示す概略構成図である。

【0171】

光インターフェクションシステム101は、複数のモジュール（例えば、CPU、集積回路チップ、メモリー等）M1、M2間の信号を光で伝送するシステムであって、半導体発光素子103、駆動回路105、光導波路基板107、半導体光検出素子PD1、增幅回路109等を含んでいる。半導体発光素子103は、裏面出射型の垂直共振型面発光レーザ（VCSEL：Vertical Cavity Surface Emitting Laser）を用いることができる。モジュールM1と駆動回路105とは、パンプ電極等を通して電気的に接続されている。半導体発光素子103と駆動回路105とは、パンプ電極を通して電気的に接続されている。半導体光検出素子PD1と增幅回路109とは、パンプ電極41を通して電気的に接続されている。増幅回路109とモジュールM2とは、パンプ電極等を通して電気的に接続されている。

【0172】

モジュールM1から出力された電気信号は、駆動回路105に送られ、半導体発光素子103にて光信号に変換されて出力される。半導体発光素子103から出力された光信号は、光導波路基板107の光導波路107aを通り、半導体光検出素子PD1に入力する。半導体光検出素子PD1に入力した光信号は、電気信号に変換されて、增幅回路109に送られ、増幅される。増幅された電気信号は、モジュールM2に送られる。以上により、モジュールM1から出力された電気信号が、モジュールM2に伝送されることとなる。

【0173】

なお、半導体光検出素子PD1の代わりに、半導体光検出素子PD2～PD8あるいは半導体光検出素子アレイPDA1、PDA2を用いてもよい。半導体光検出素子アレイPDA1、PDA2を用いる場合、半導体発光素子103、駆動回路105、光導波路基板107及び増幅回路109等もアレイ化されることとなる。

【0174】

本発明は、前述した実施形態に限定されるものではない。例えば、半導体基板51、高濃度キャリア層3（3a、3b）、光吸収層5（5a、5b）、キャップ層7（7a、7b）等の厚み、用いる材料等は、上述したものに限られない。具体的には、半導体基板51の材料として、上述したGaAsの代わりに、Si、InP、InGaAs、InSb、InAsSbを用いてもよい。

【図面の簡単な説明】

【0175】

【図1】第1実施形態に係る半導体光検出素子を示す概略平面図である。

【図2】図1におけるII-II線に沿った断面構成を説明するための模式図である。

【図3】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図4】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図5】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図6】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図7】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図8】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図9】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

【図10】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である。

。

【図11】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である

。

【図12】第1実施形態に係る半導体光検出素子の製造工程を説明する断面図である

- 。【図 1 3】第 1 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 1 4】第 1 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 1 5】第 1 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 1 6】第 2 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。
- 【図 1 7】第 2 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 1 8】第 3 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。
- 【図 1 9】第 3 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 0】第 3 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 1】第 4 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。
- 【図 2 2】第 4 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 3】第 4 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 4】第 5 実施形態に係る半導体光検出素子を示す概略平面図である。
- 【図 2 5】図 2 4 における XXV—XXV 線に沿った断面構成を説明するための模式図である。
- 【図 2 6】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 7】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 8】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 2 9】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 0】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 1】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 2】第 5 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 3】第 6 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。
- 【図 3 4】第 6 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 5】第 7 実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。
- 【図 3 6】第 7 実施形態に係る半導体光検出素子の製造工程を説明する断面図である
- 。【図 3 7】第 7 実施形態に係る半導体光検出素子の製造工程を説明する断面図である

【図38】第8実施形態に係る半導体光検出素子の断面構成を説明するための模式図である。

【図39】本実施形態に係る半導体光検出素子アレイの断面構成を説明するための模式図である。

【図40】本実施形態に係る半導体光検出素子アレイの断面構成を説明するための模式図である。

【図41】本実施形態に係る光インターフェクションシステムを示す概略構成図である。

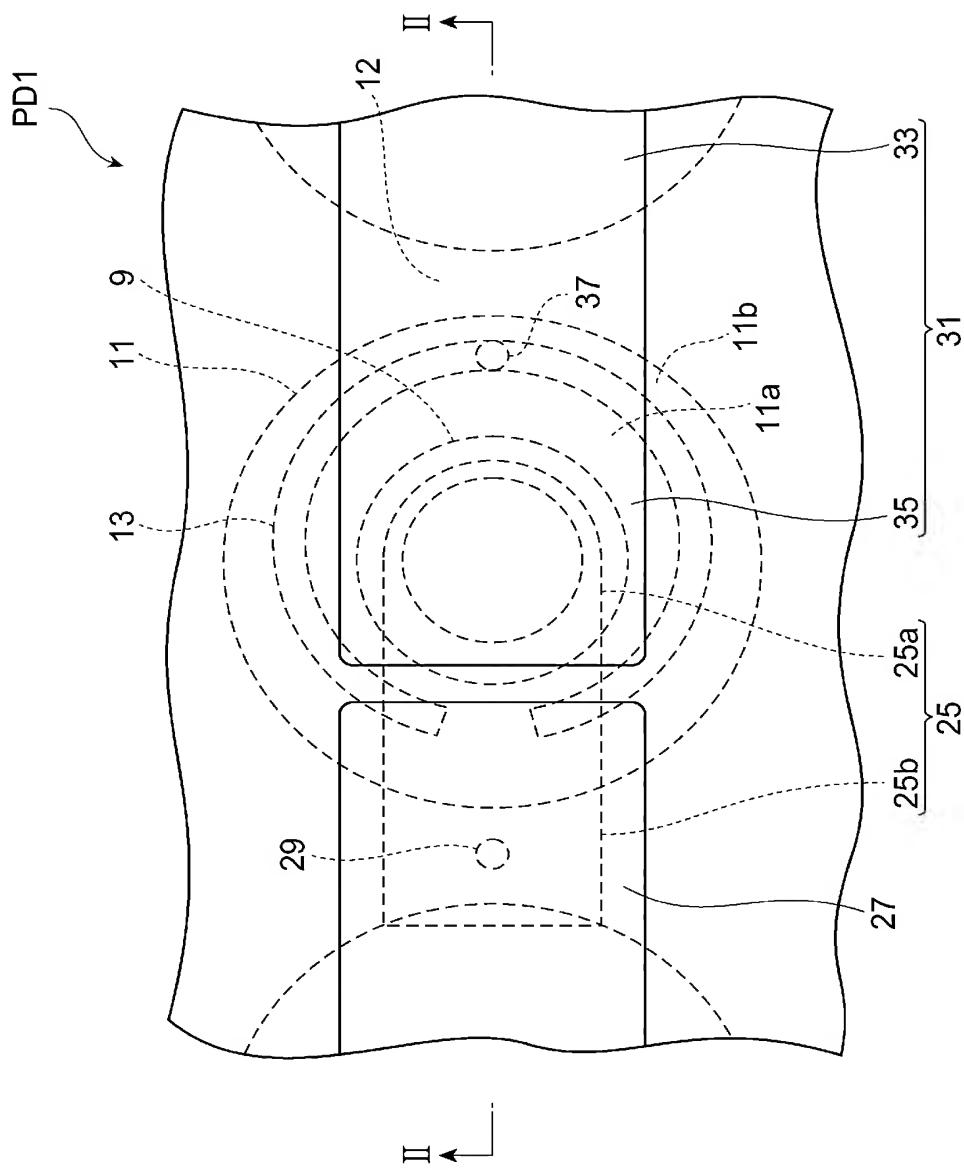
【符号の説明】

【0176】

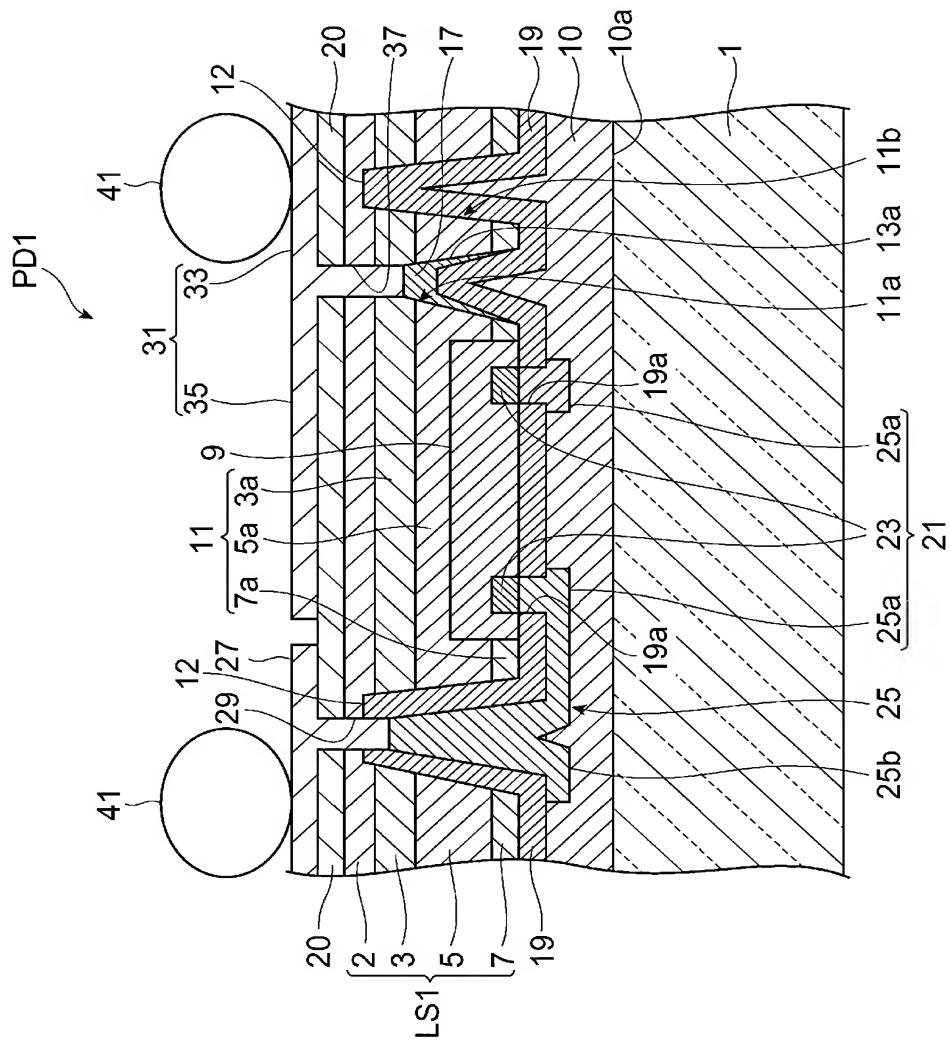
1 … ガラス基板、1a … レンズ部、2 … エッチング停止層、3(3a) … 高濃度キャリア層、5(5a) … 光吸収層、7(7a) … キャップ層、9 … 受光領域、10 … 膜、11 … 受光部、12 … 窪み部、17 … コンタクト電極、21 … 第1電極部、23 … コンタクト電極、25 … 第1配線電極、27 … 第1パッド電極(第2電極部)、31 … 第3電極部、33 … 第2パッド電極、35 … 第2配線電極、41 … バンプ電極、51 … 半導体基板、60 … 膜、60a … レンズ部、71 … コンタクト電極、73 … 貫通配線、81 … 第3電極部、83 … コンタクト電極、LS1, LS2 … 層構造体、PDL ~ PDS … 半導体光検出素子、PDA1, PDA2 … 半導体光検出素子アレイ。

【書類名】 図面

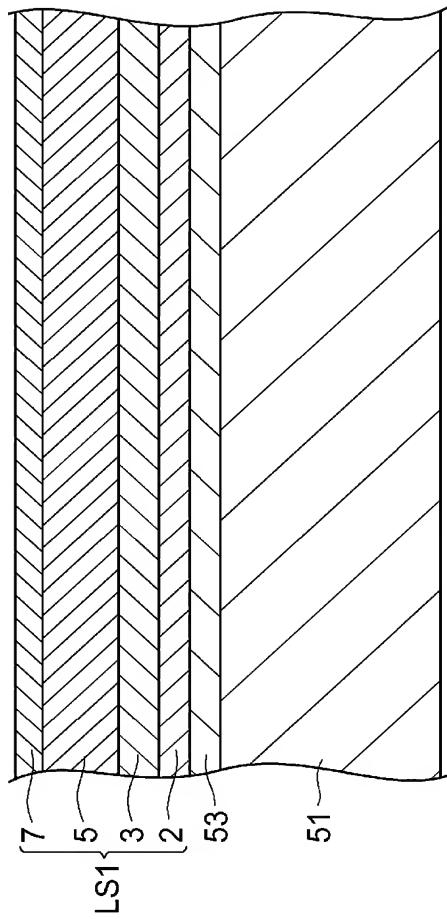
【図 1】



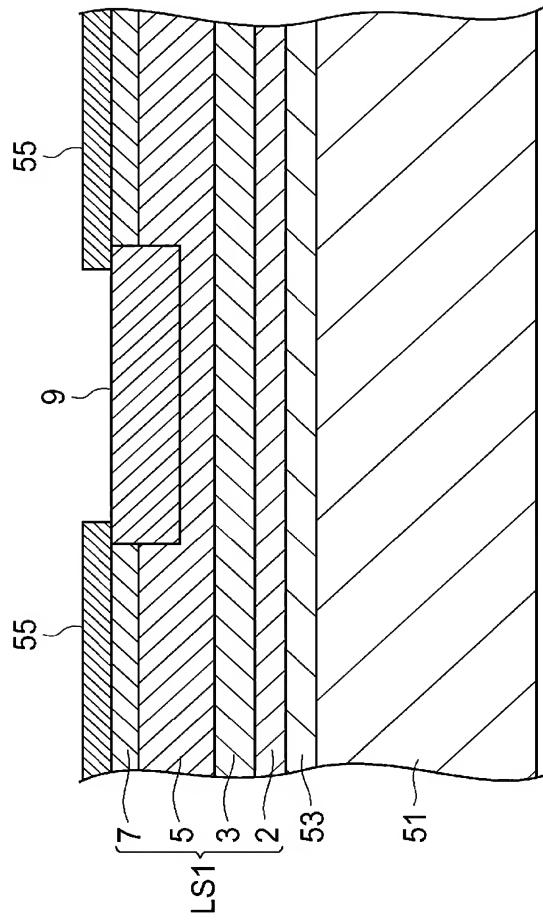
【図2】



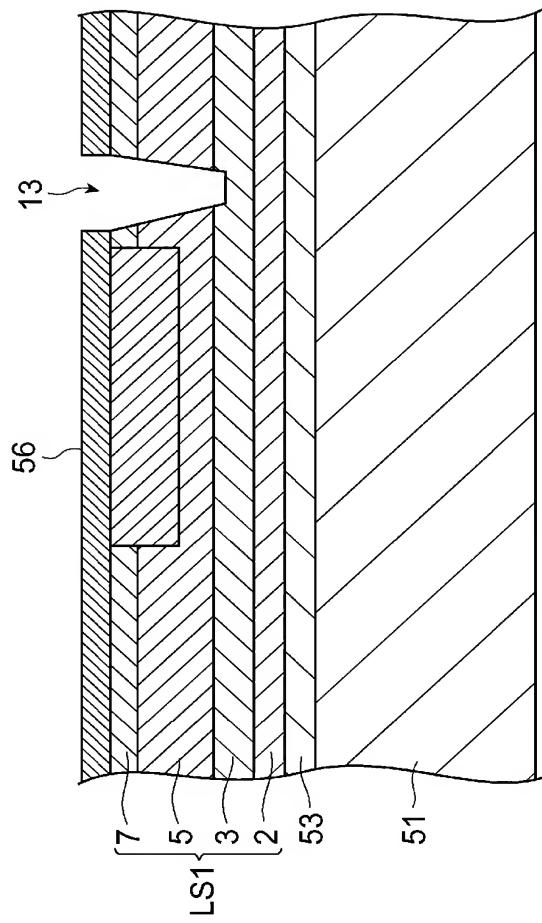
【図3】



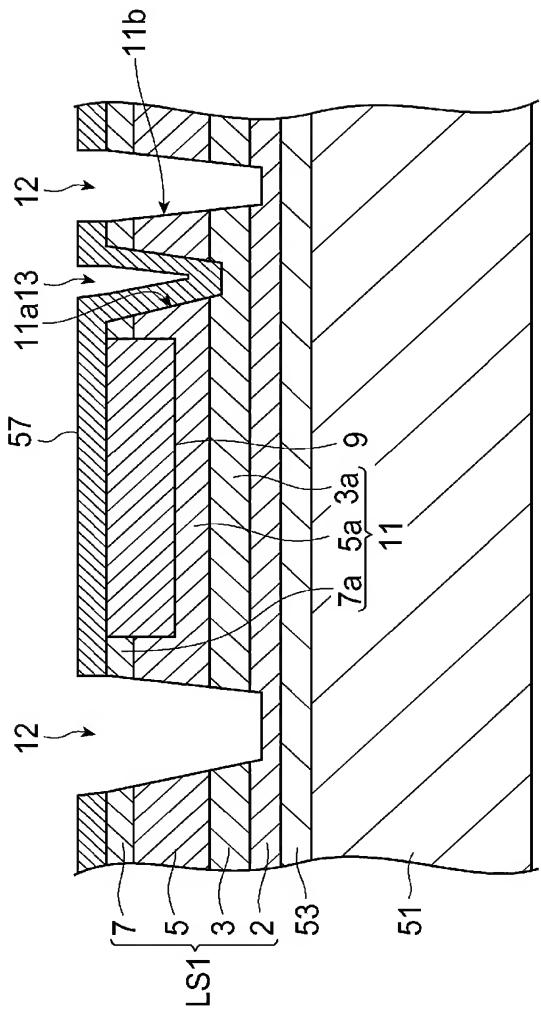
【図 4】



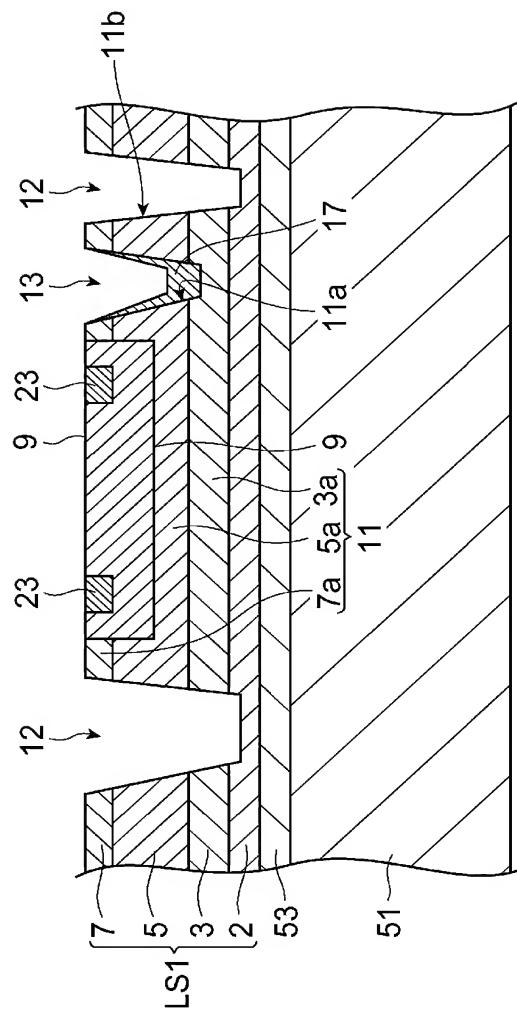
【図 5】



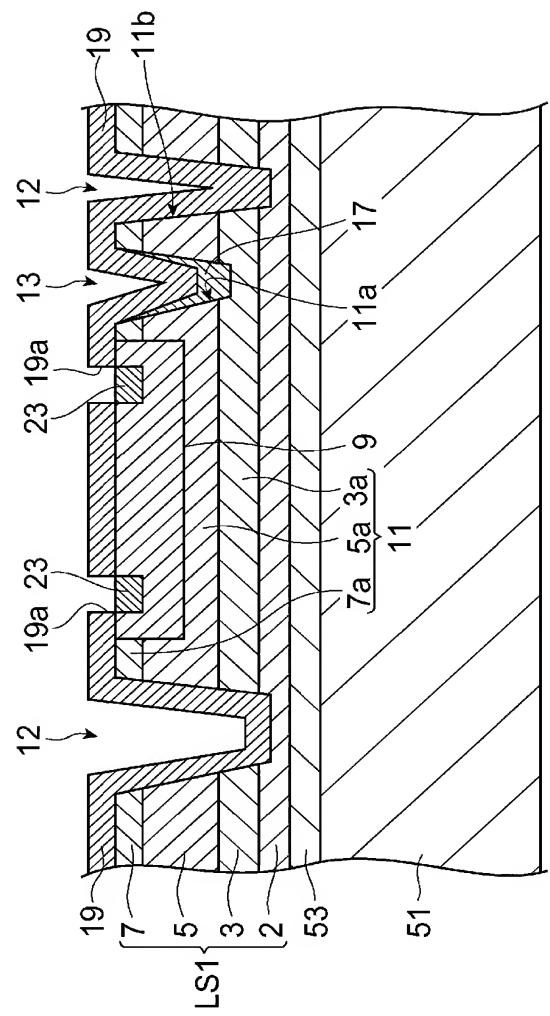
【図 6】



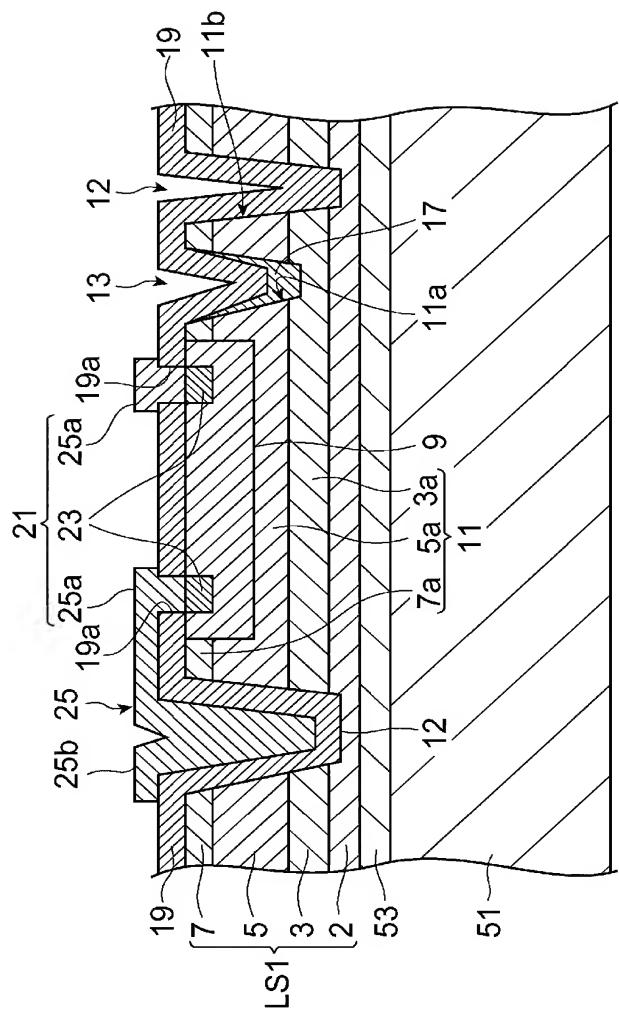
【図 7】



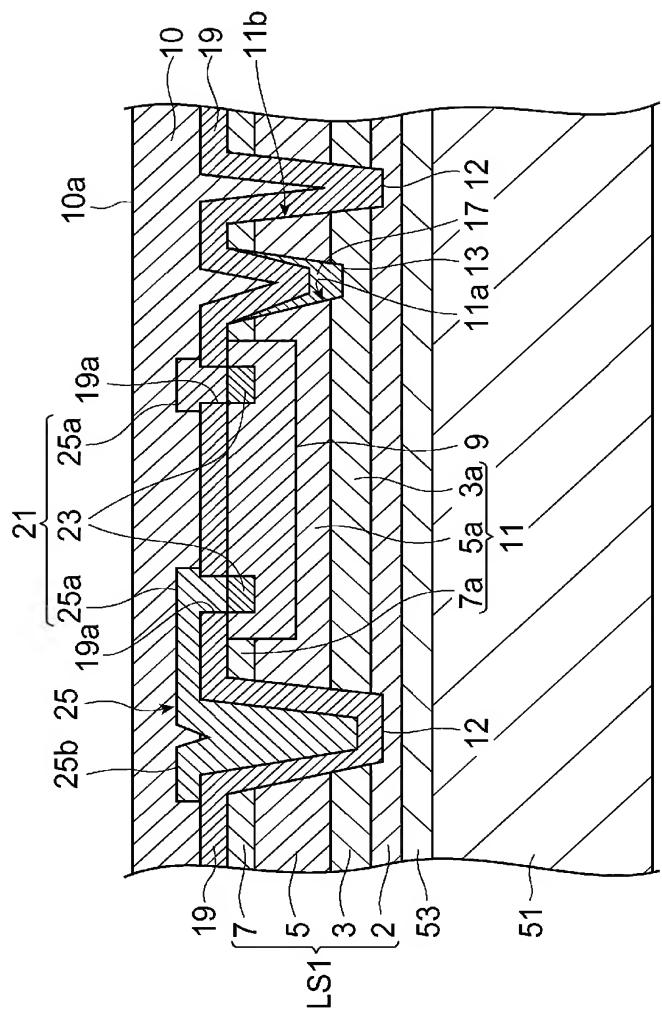
【図8】



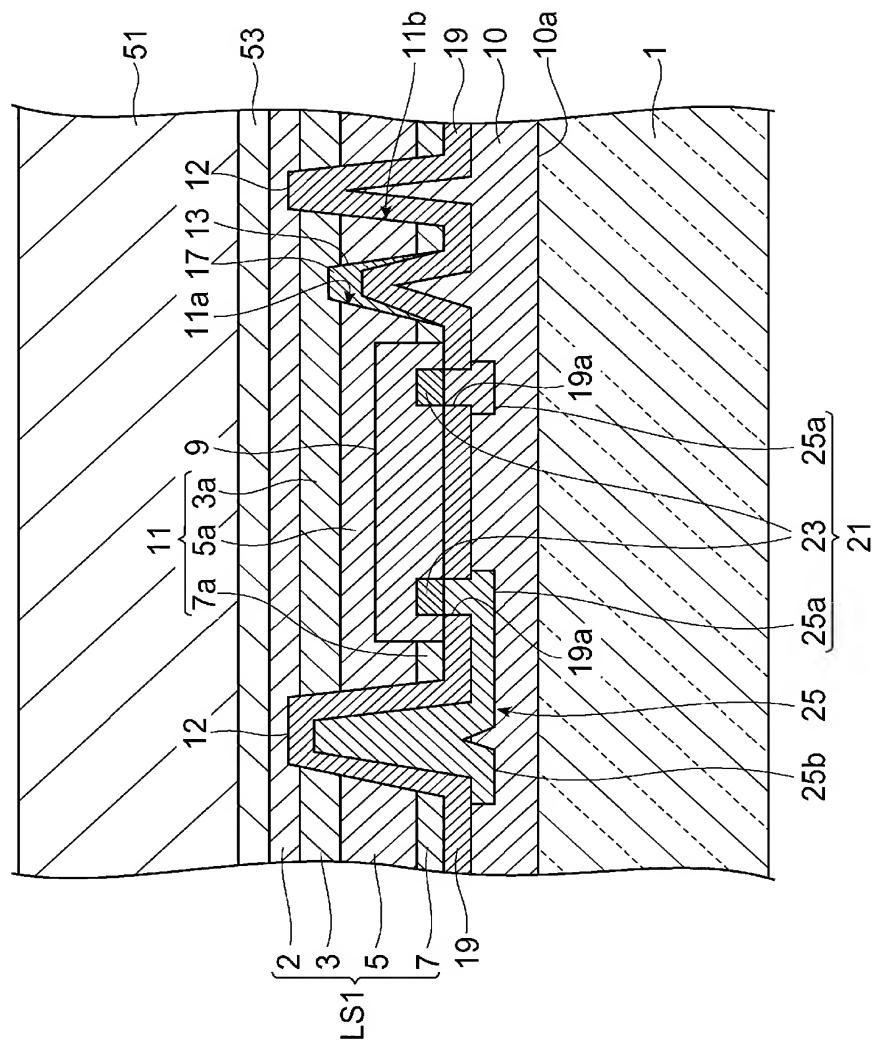
【図 9】



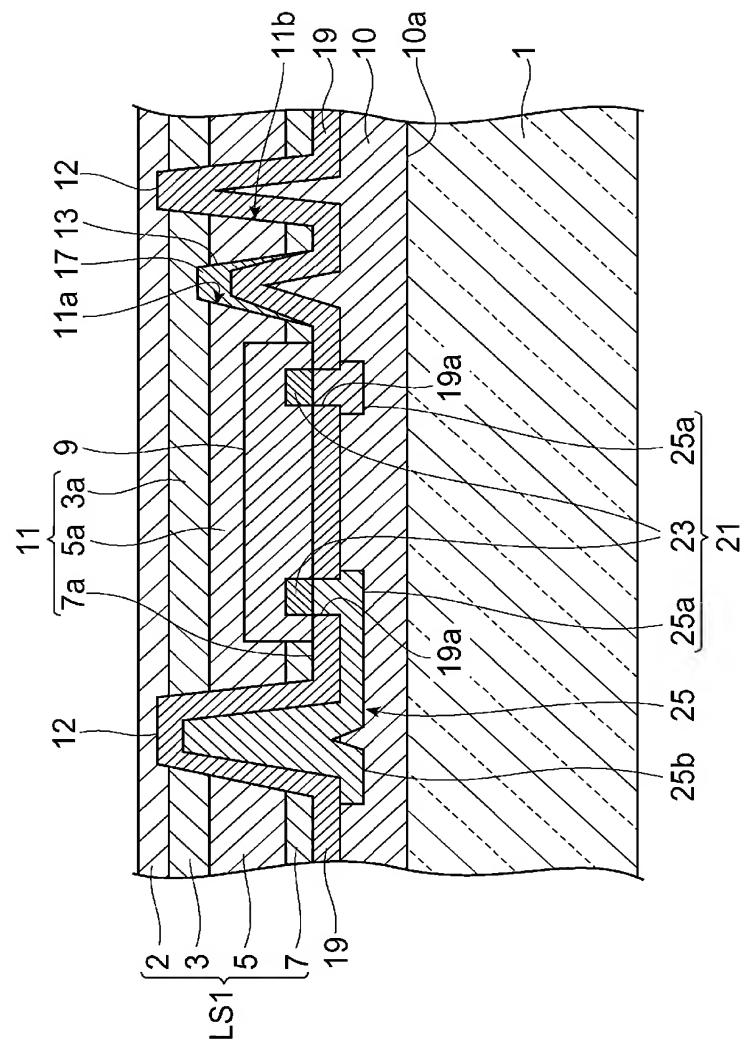
【図 10】



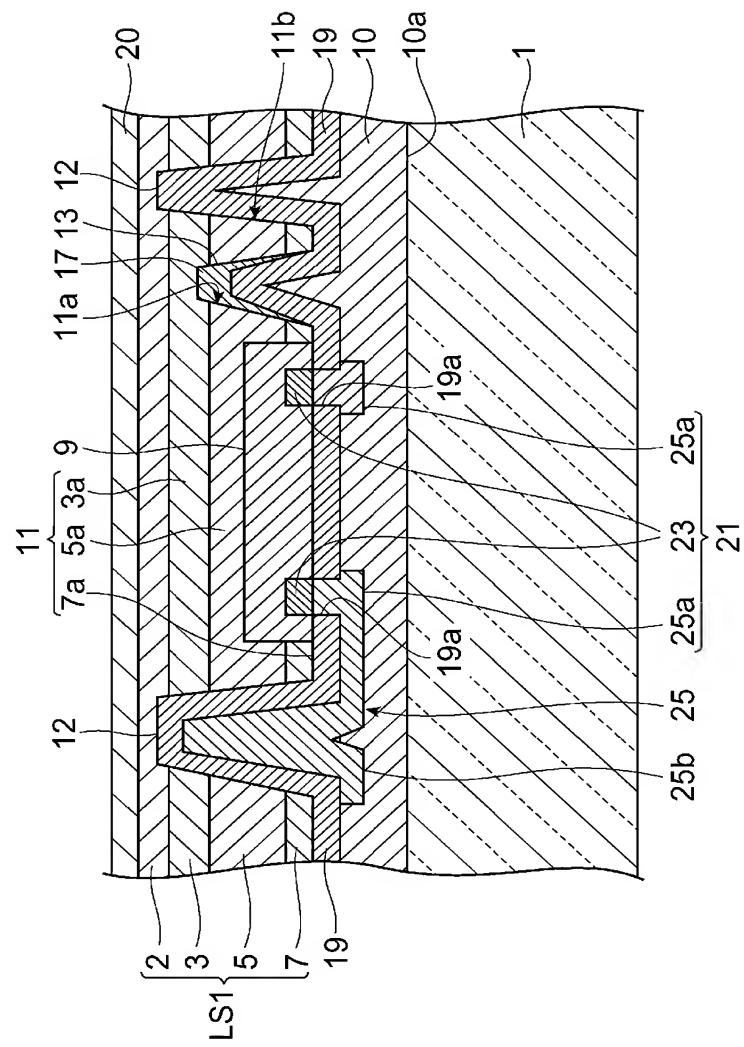
【図 1 1】



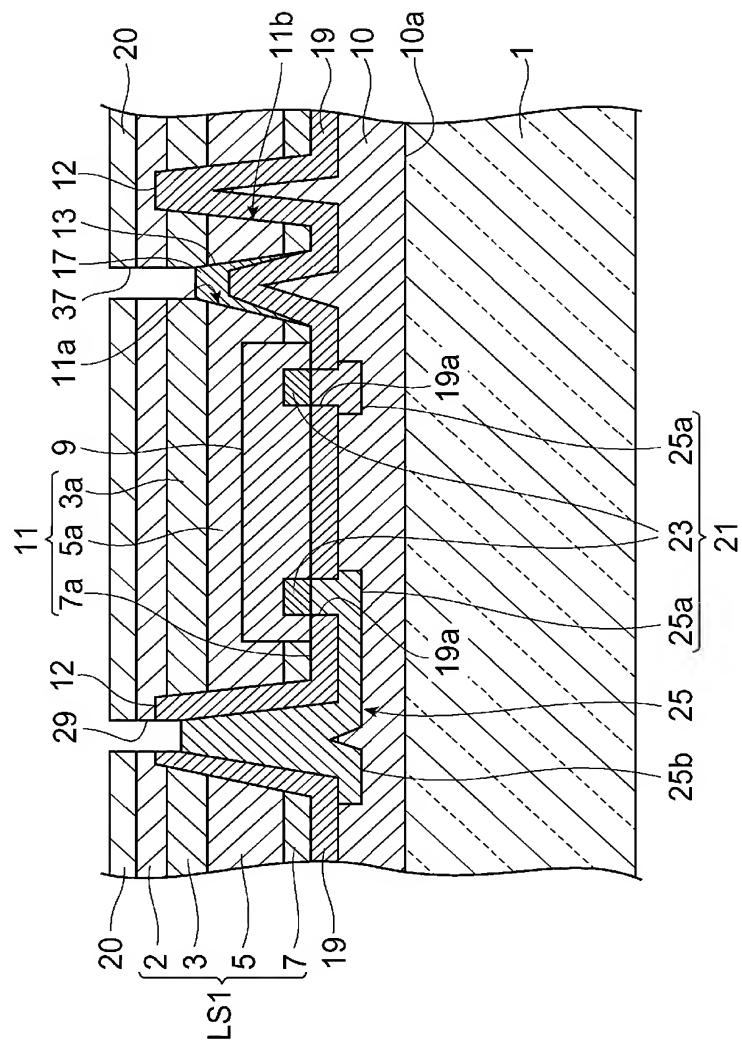
【図 1-2】



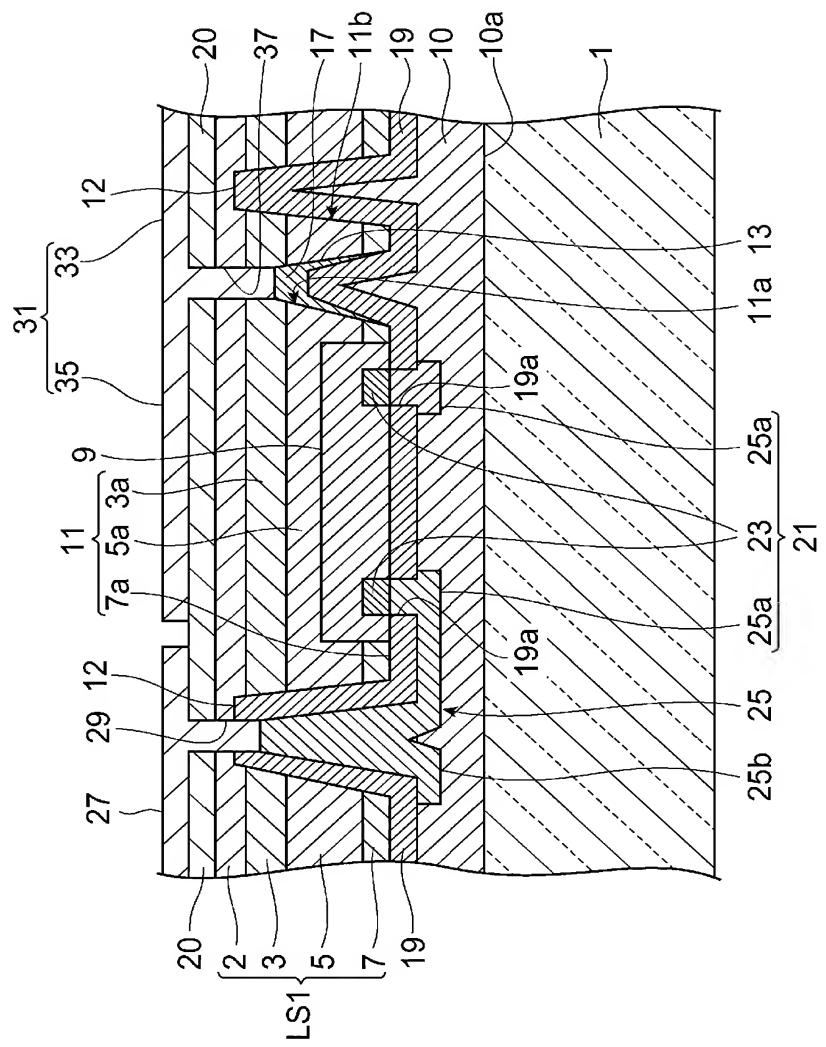
【図 1-3】



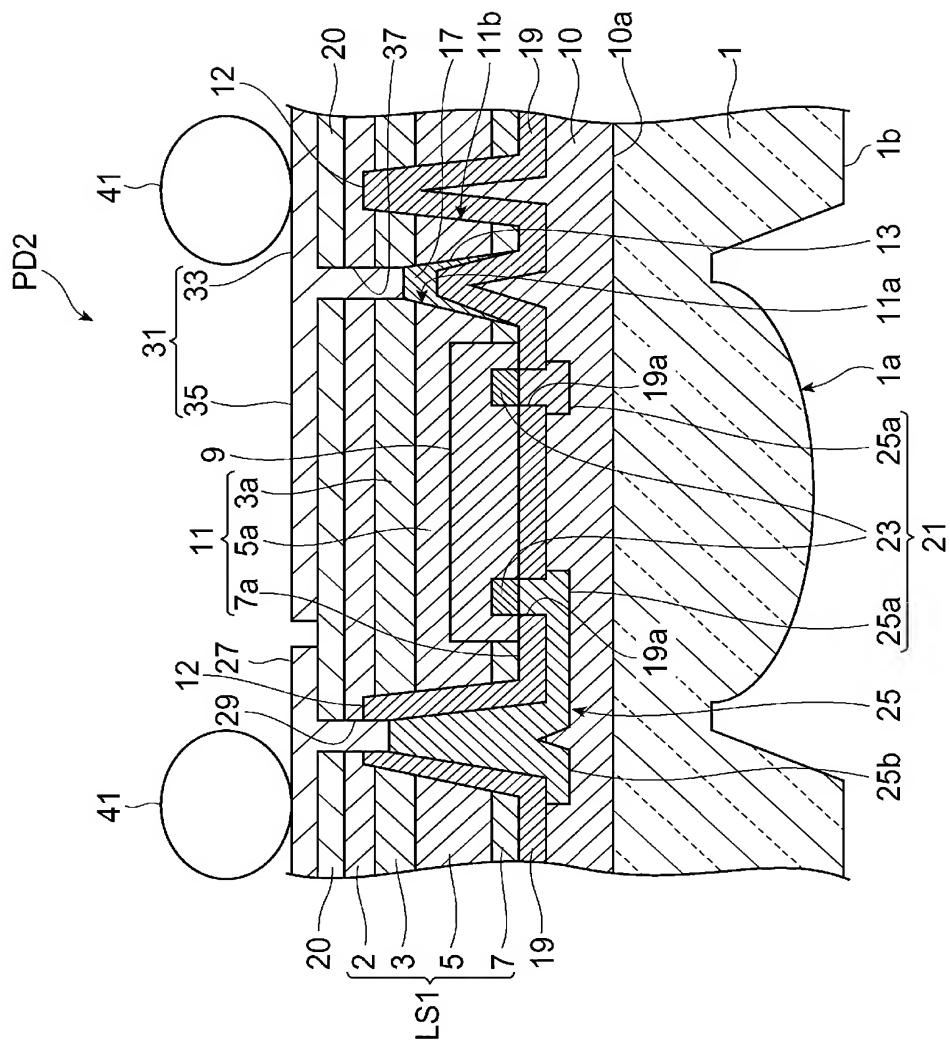
【図 1-4】



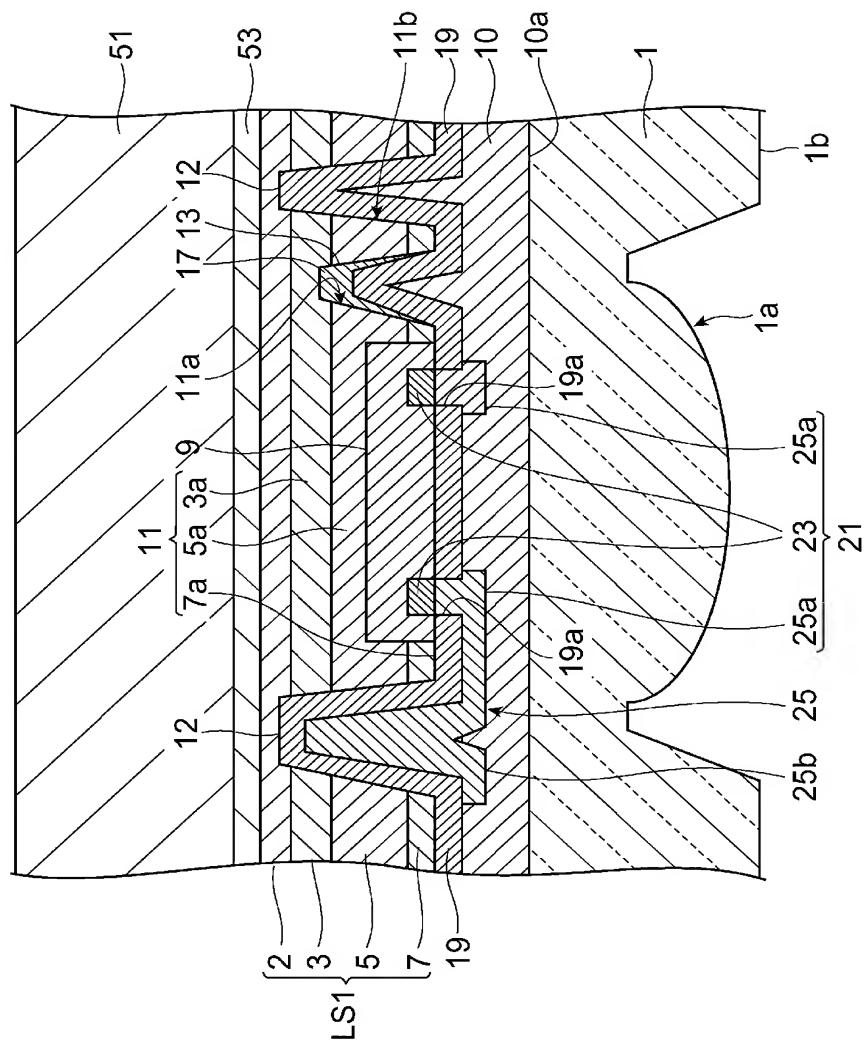
【図 15】



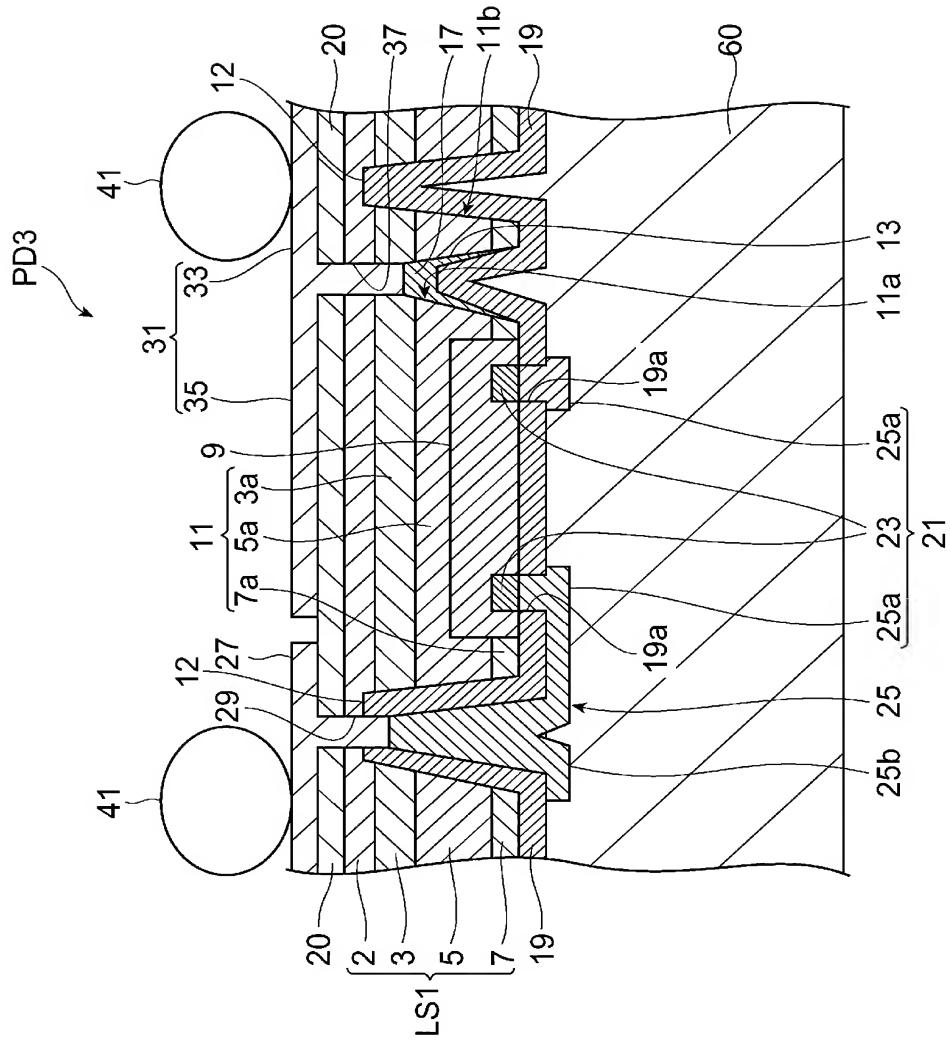
【図 1 6】



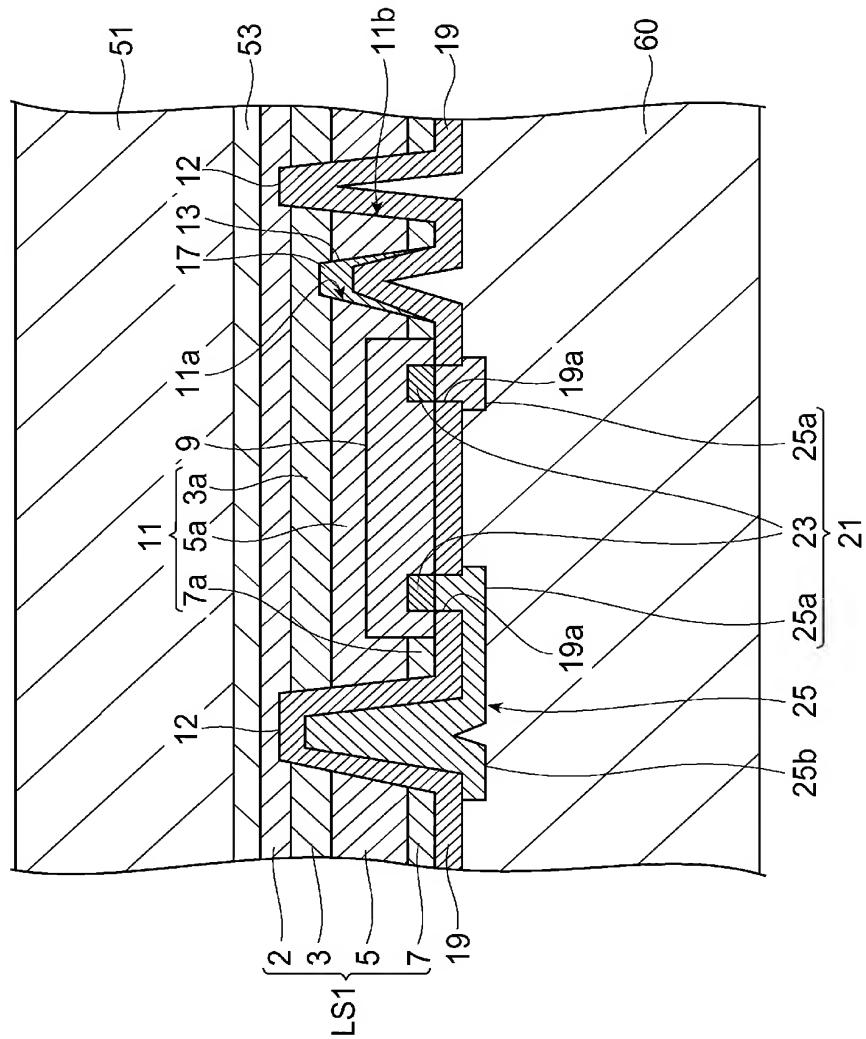
【図 17】



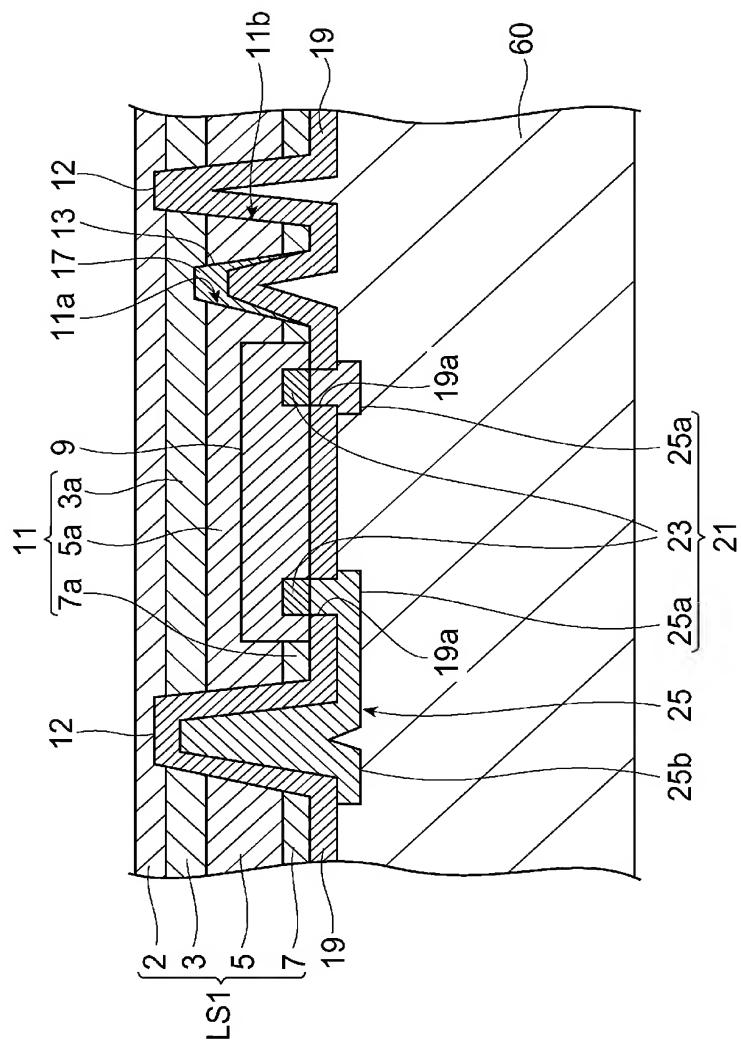
【図 18】



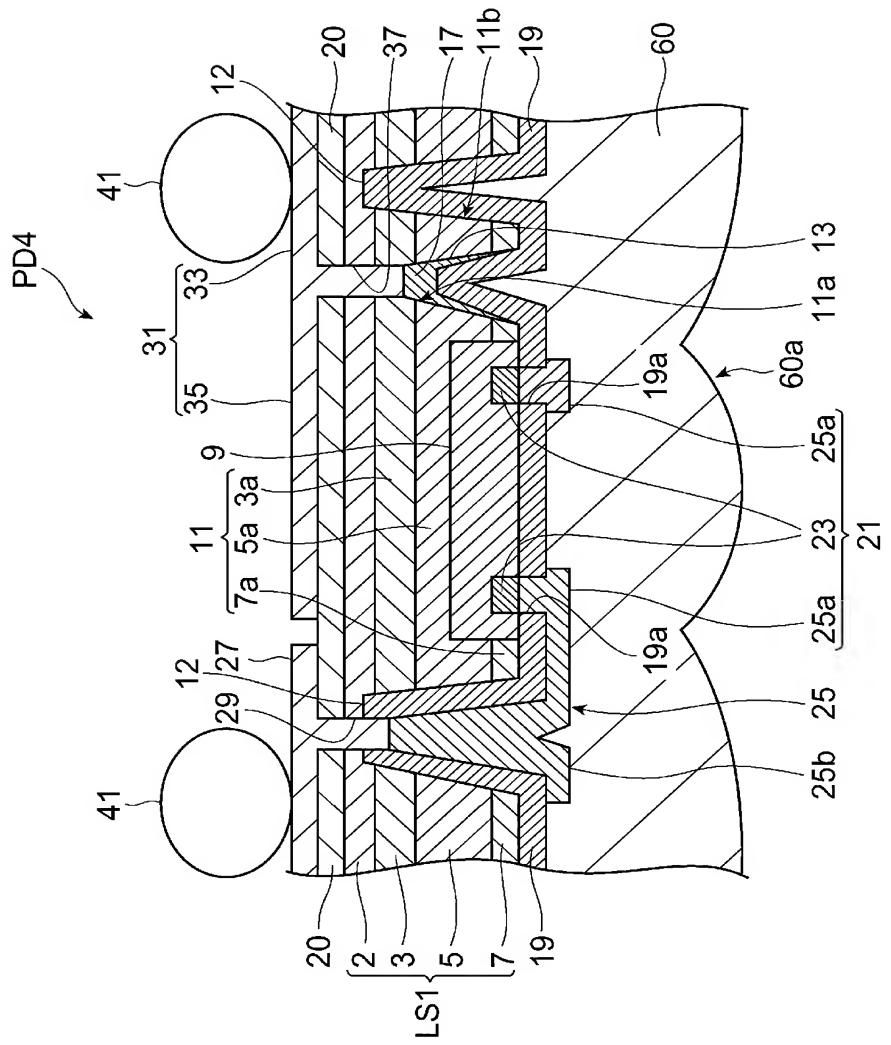
【図 1 9】



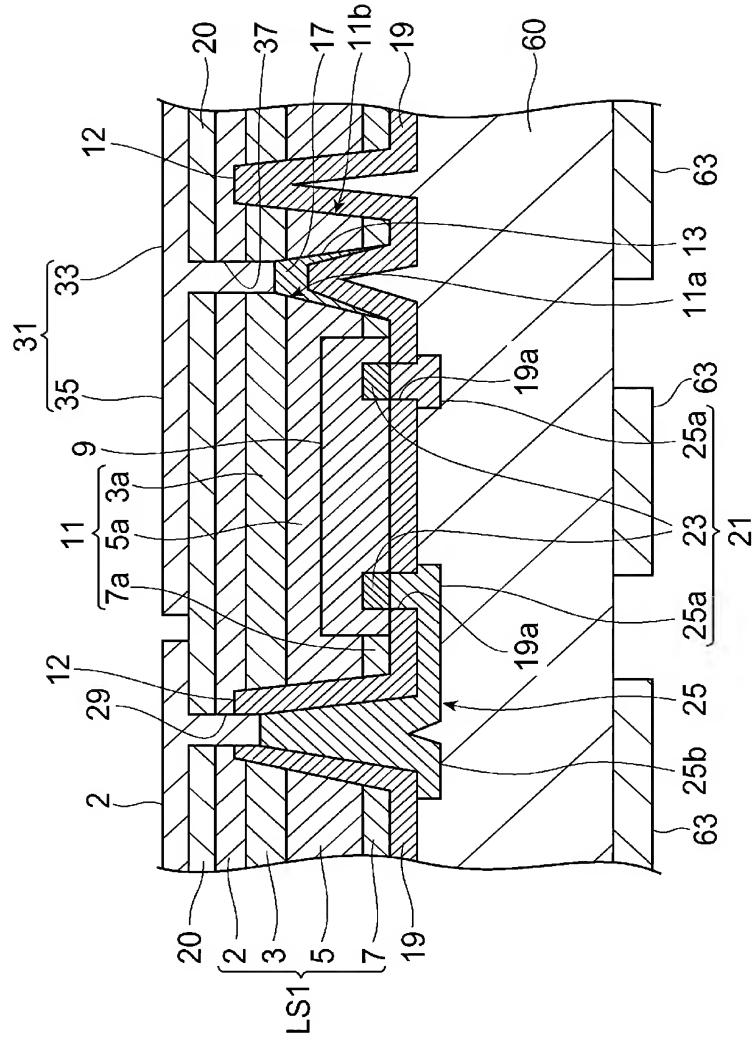
【図 20】



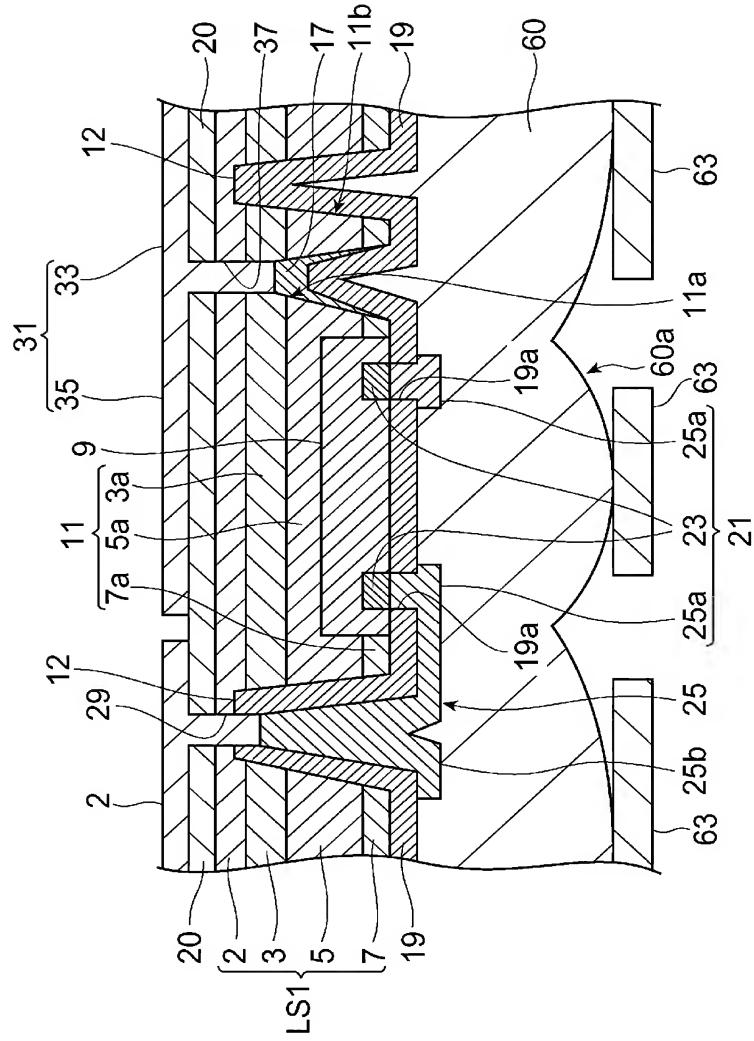
【図21】



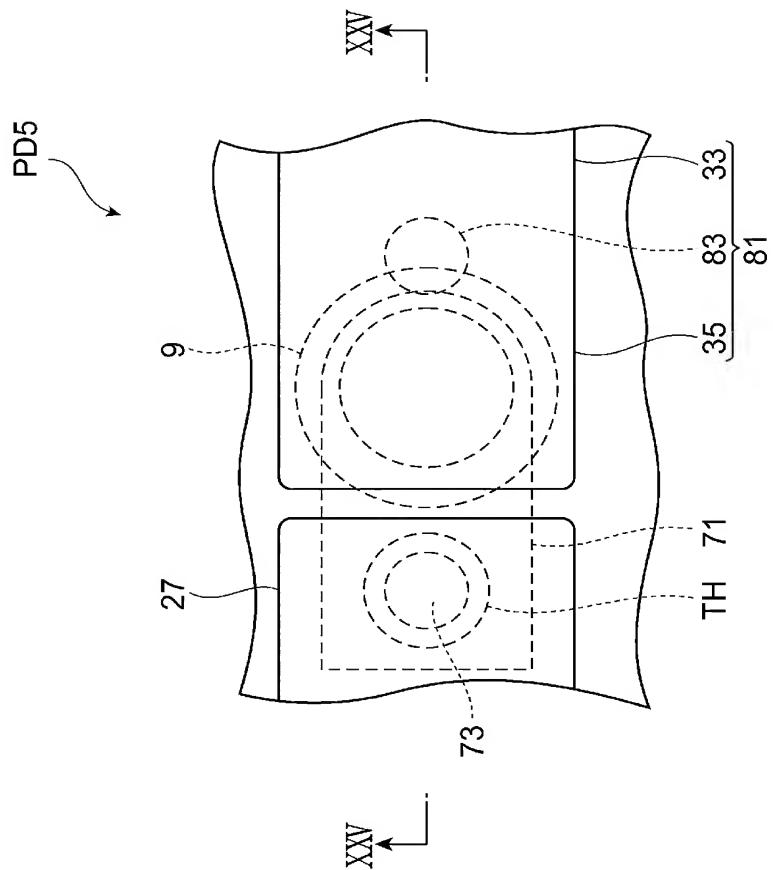
【図 2 2】



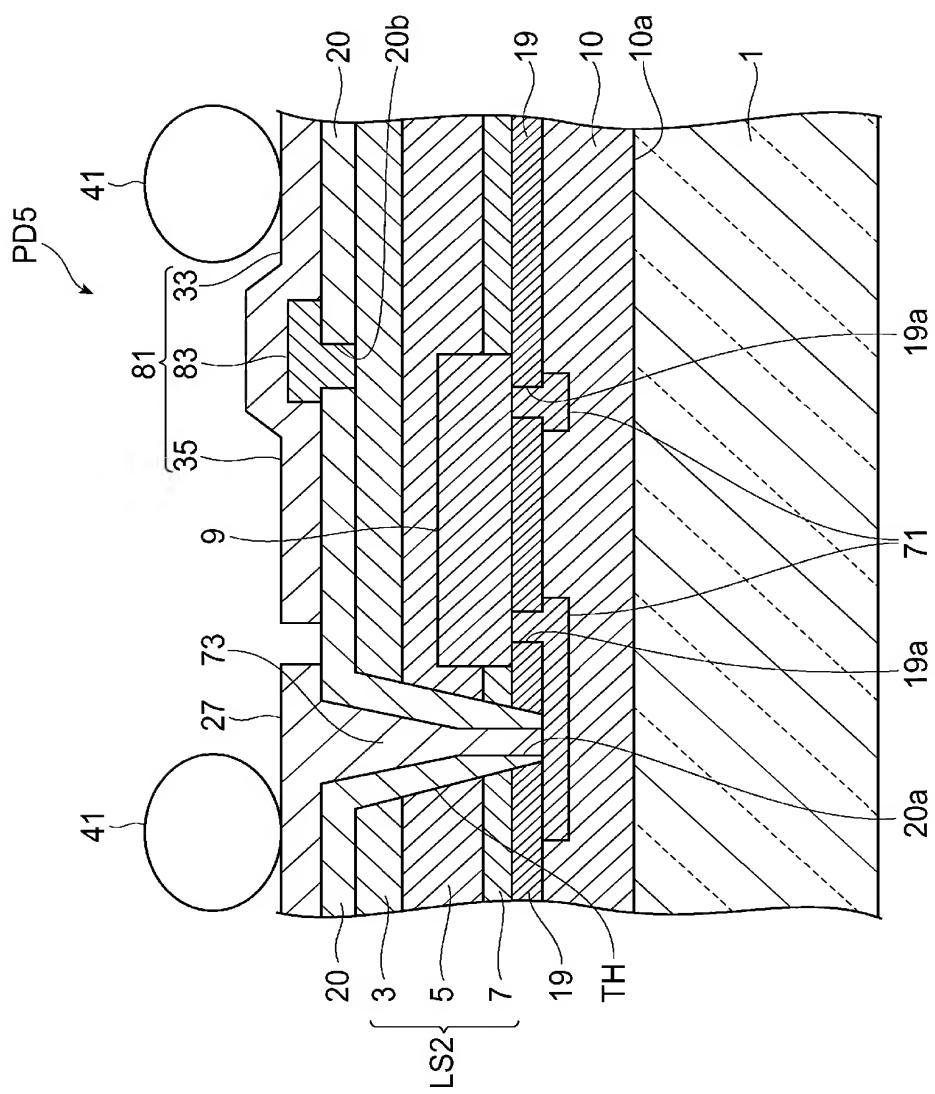
【図 2 3】



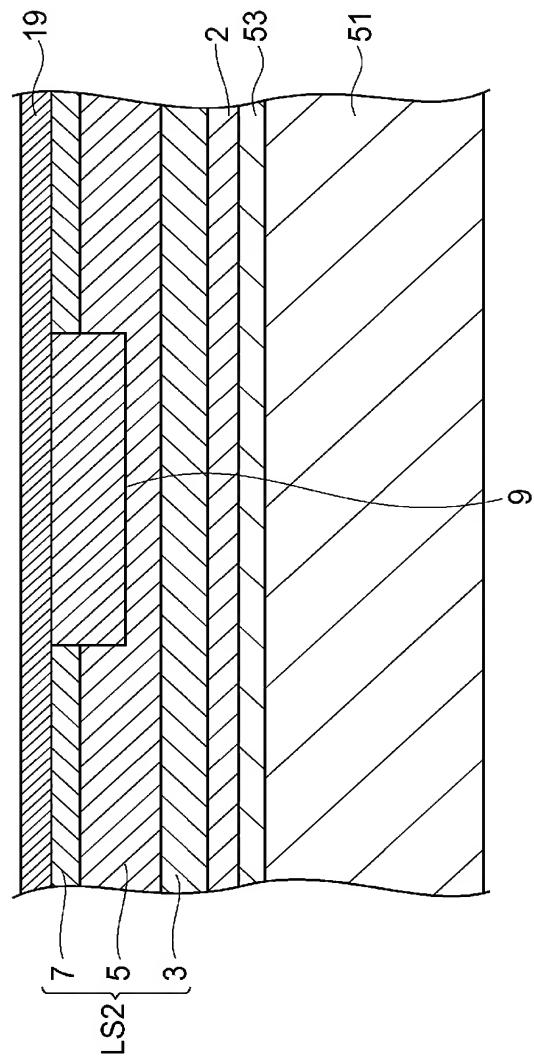
【図 2-4】



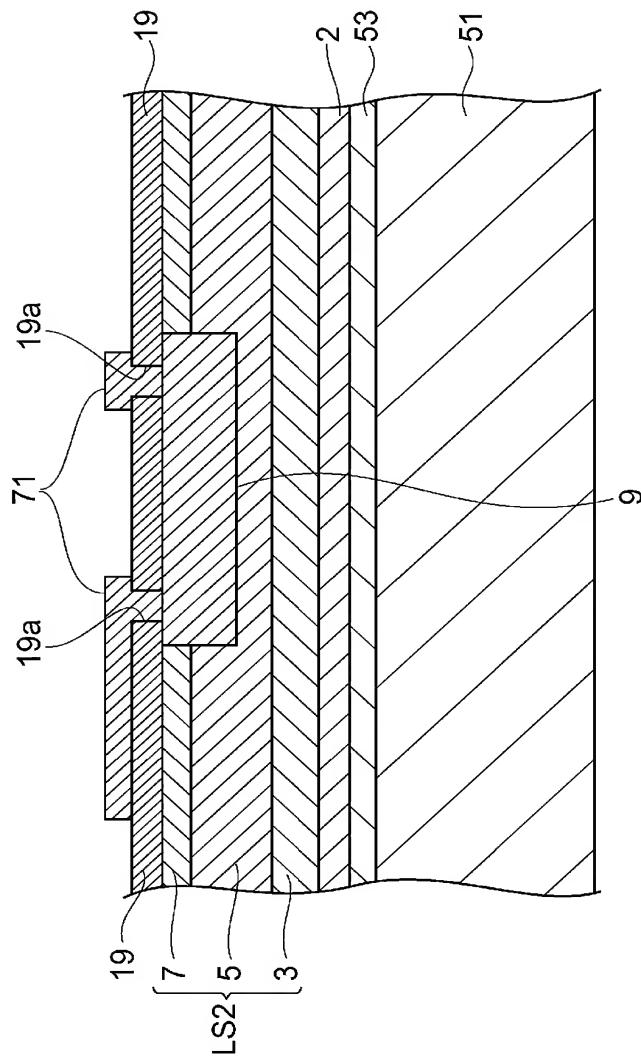
【図 25】



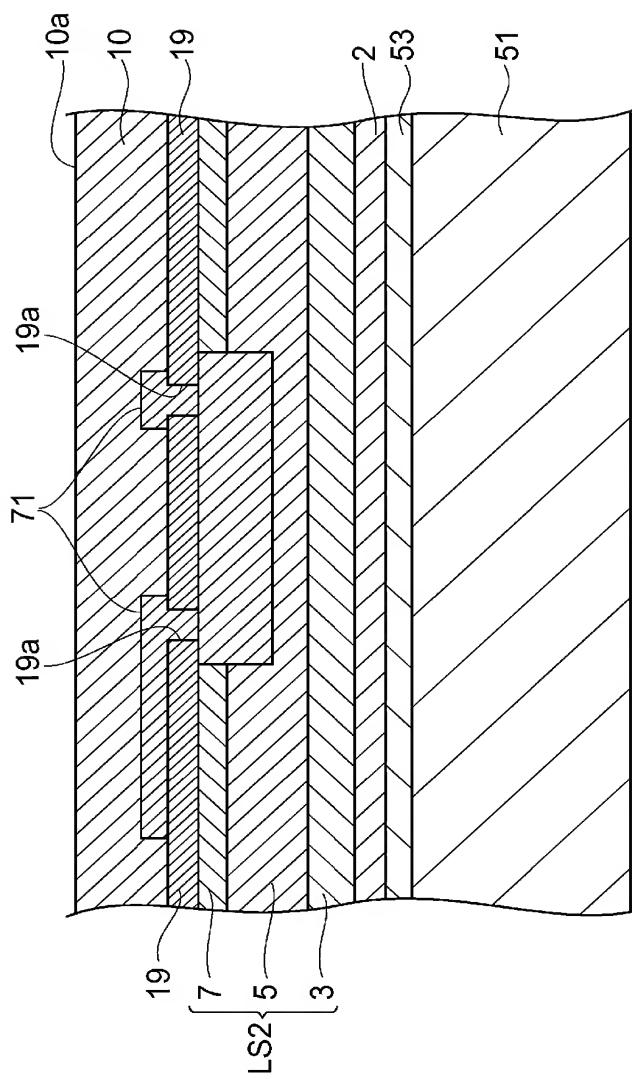
【図 2 6】



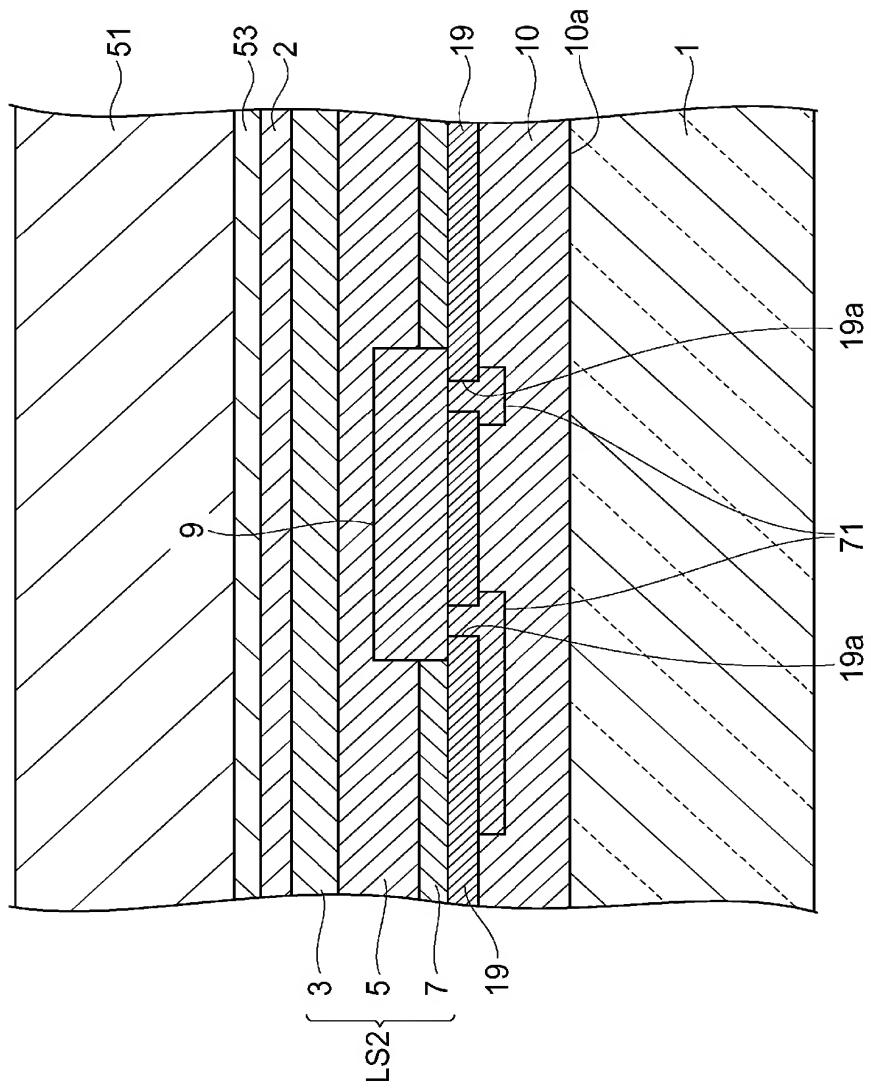
【図 27】



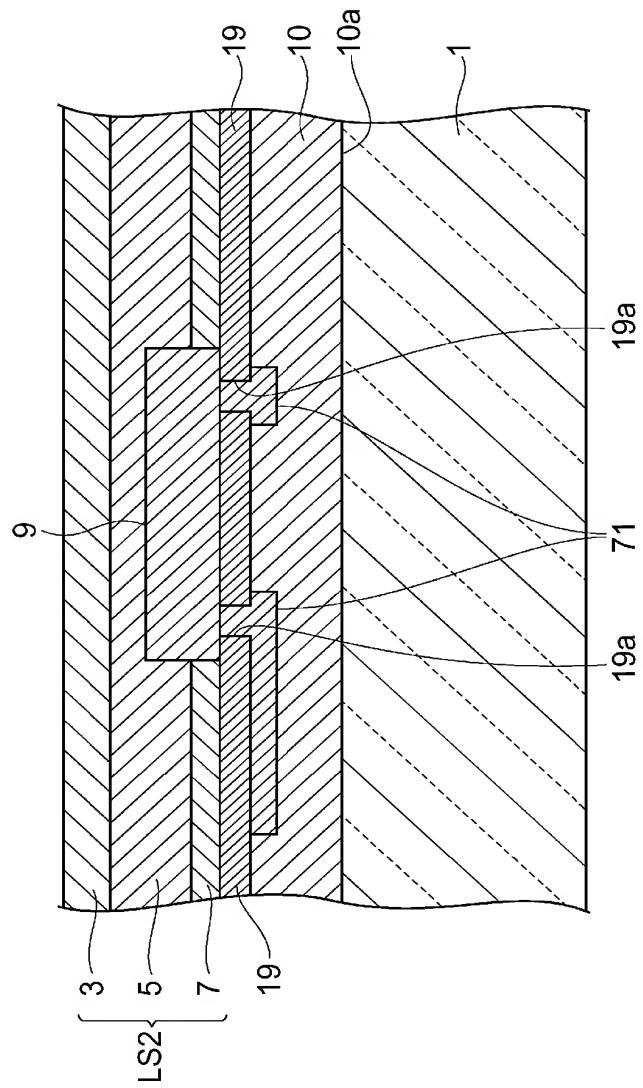
【図28】



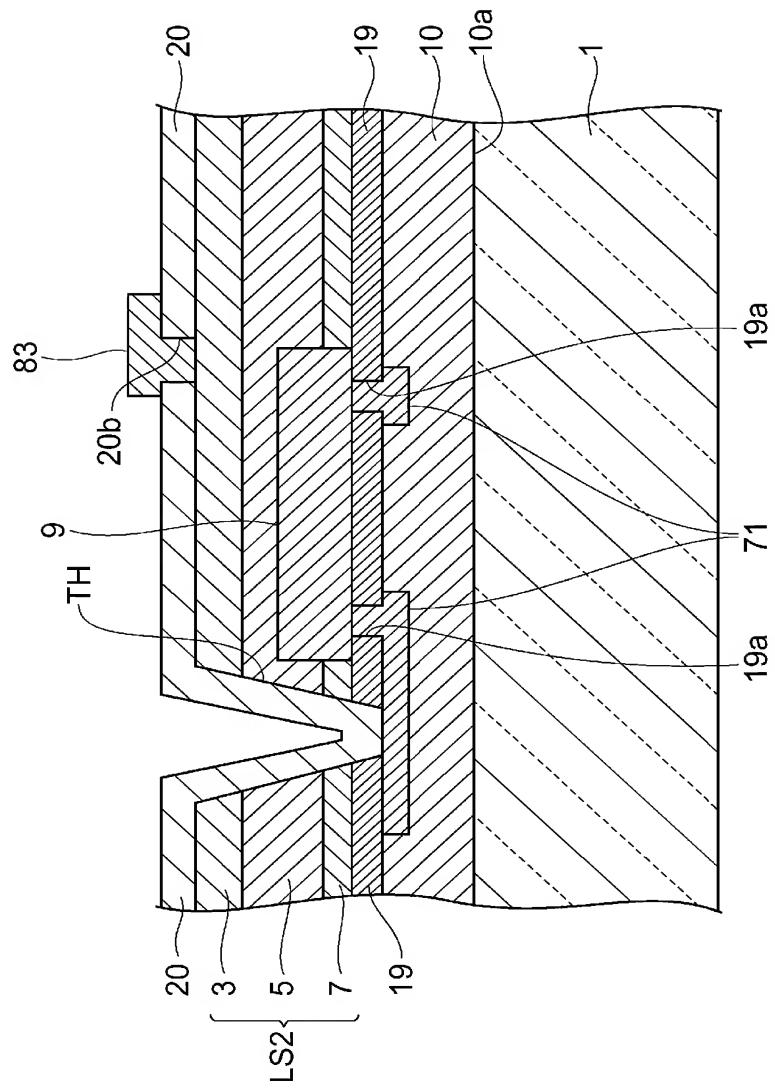
【図 2 9】



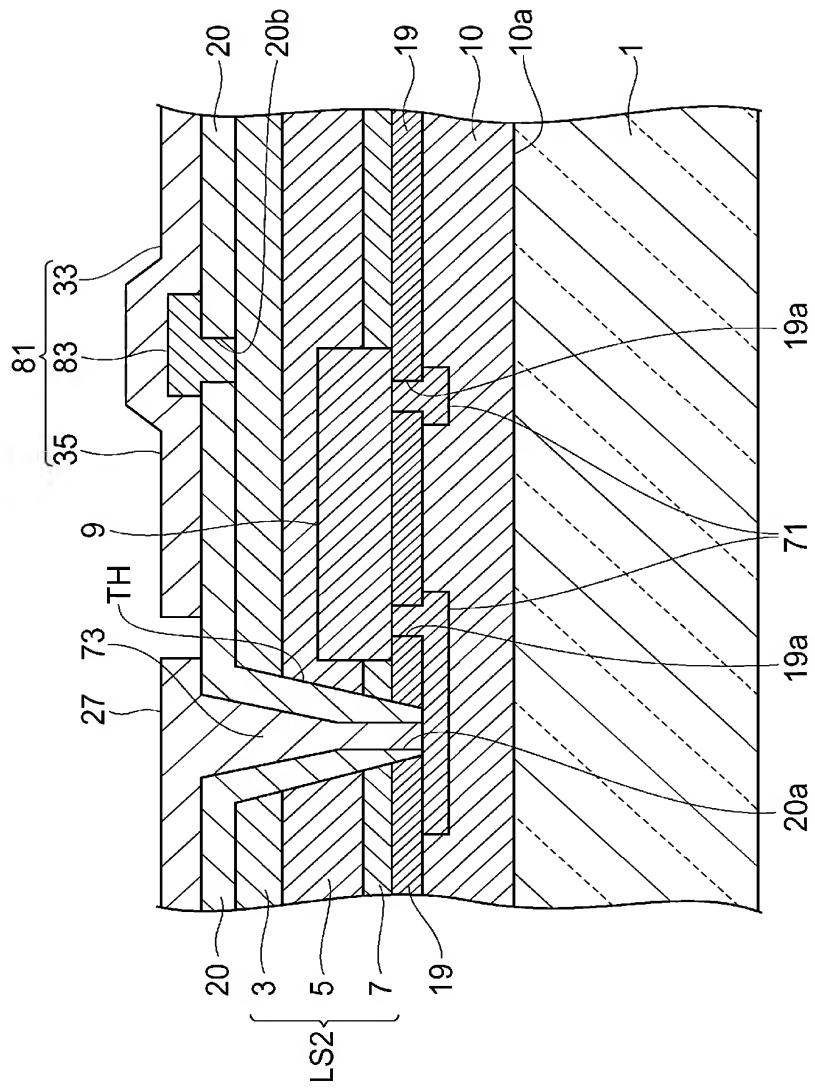
【図 3 0】



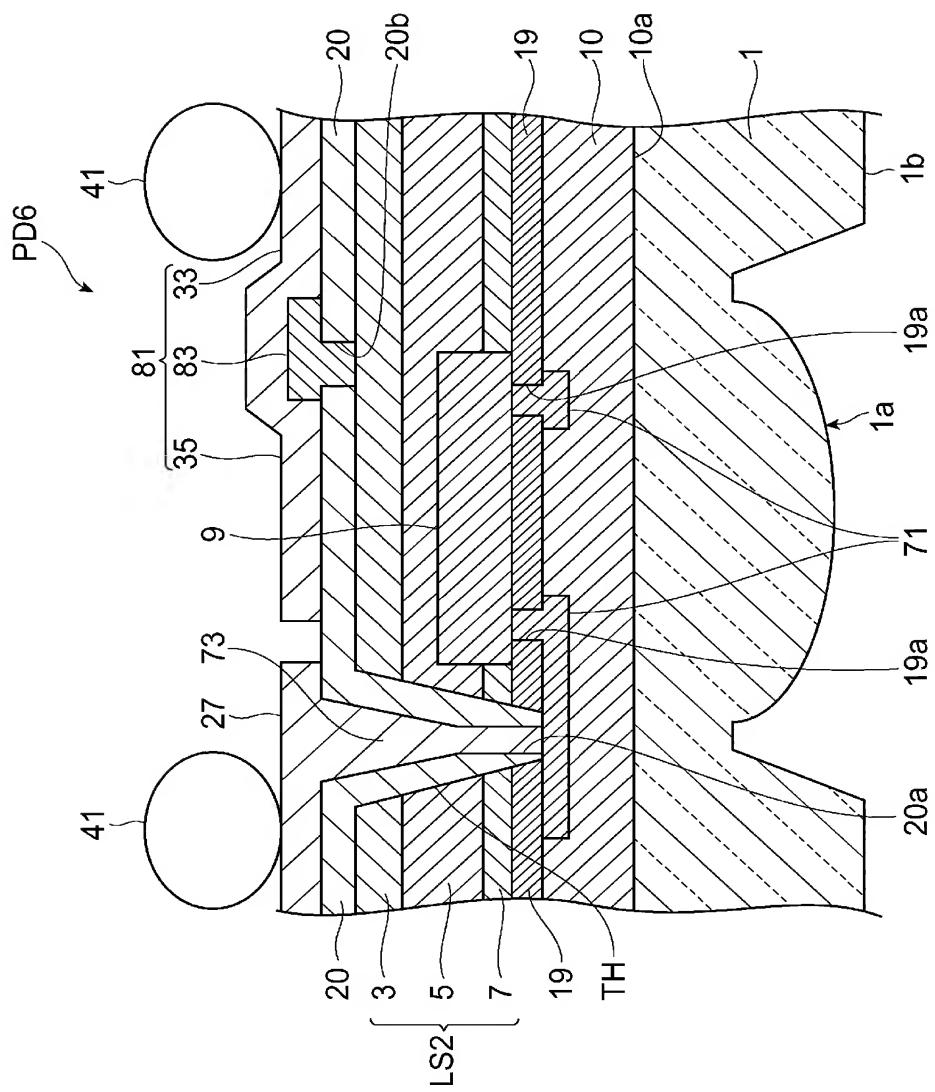
【図 3 1】



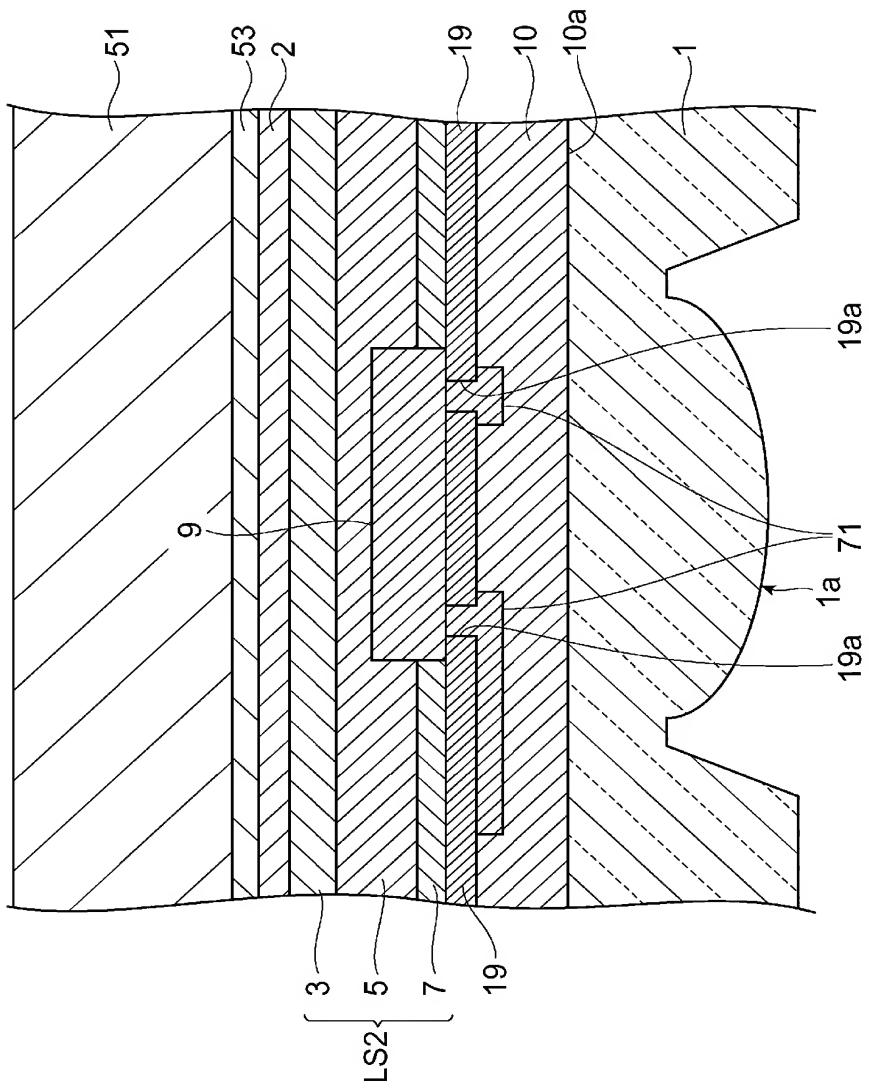
【図32】



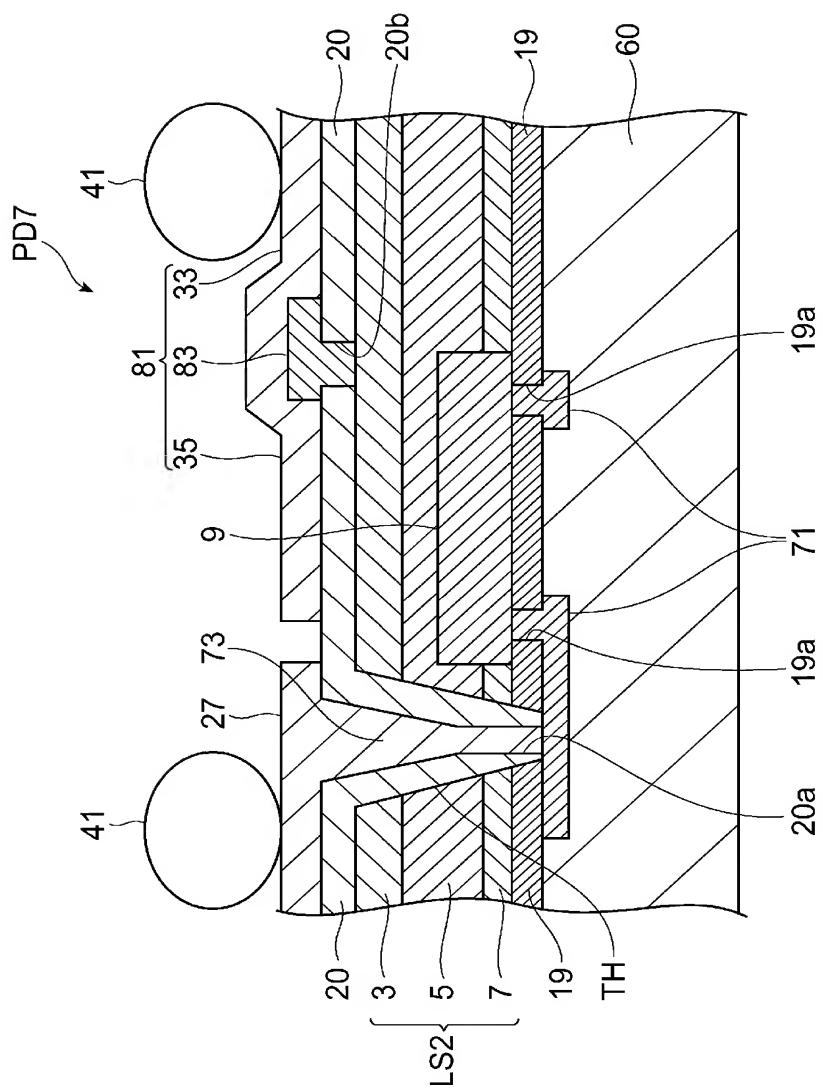
【図 3 3】



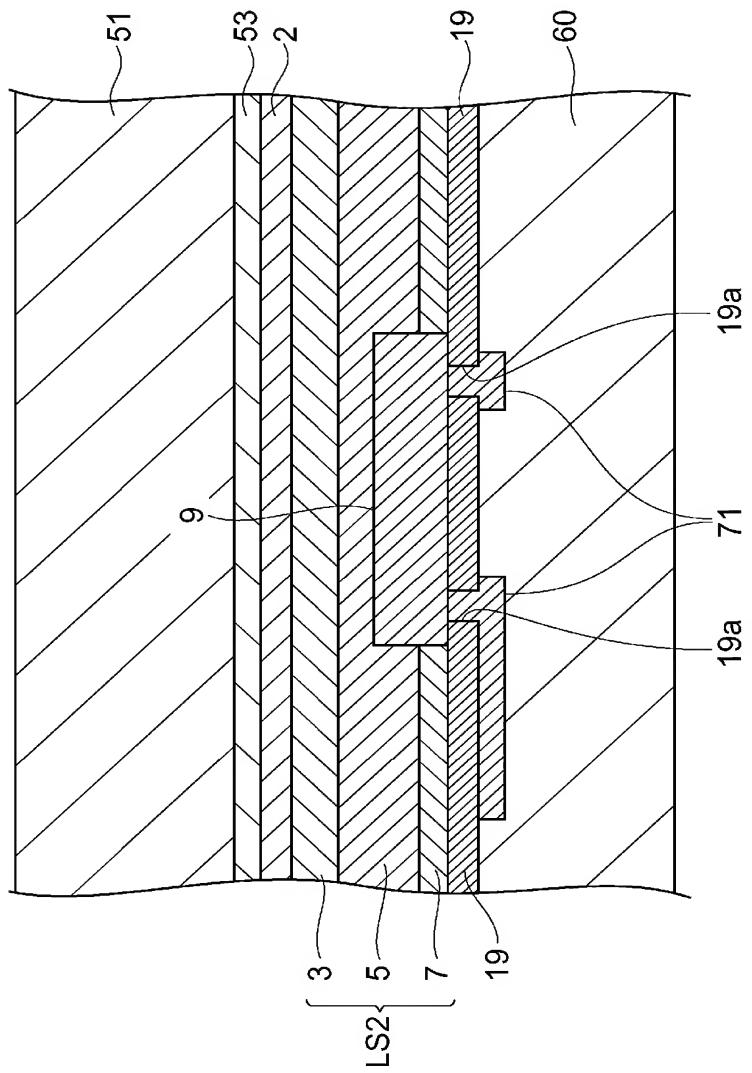
【図3-4】



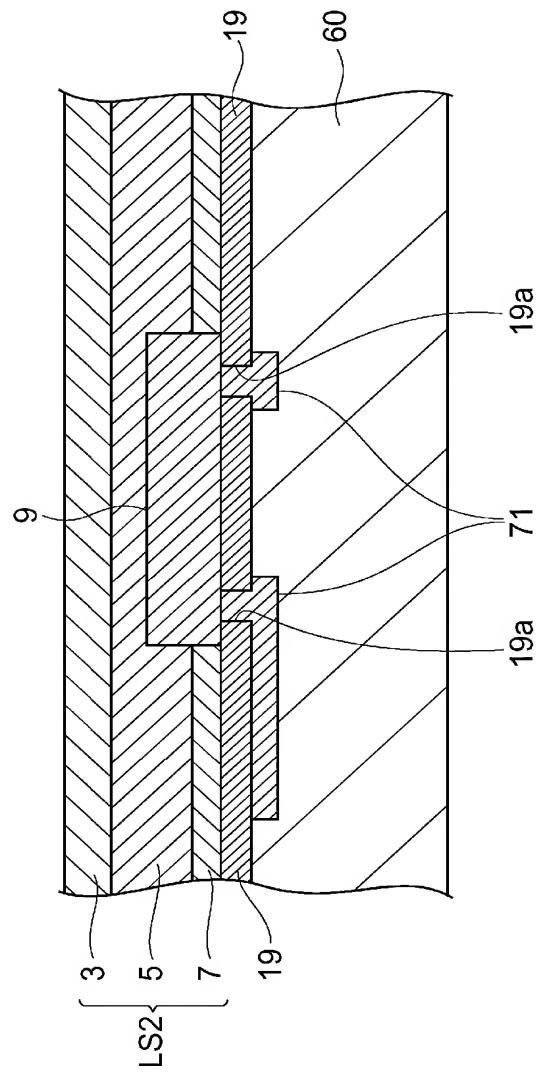
【図35】



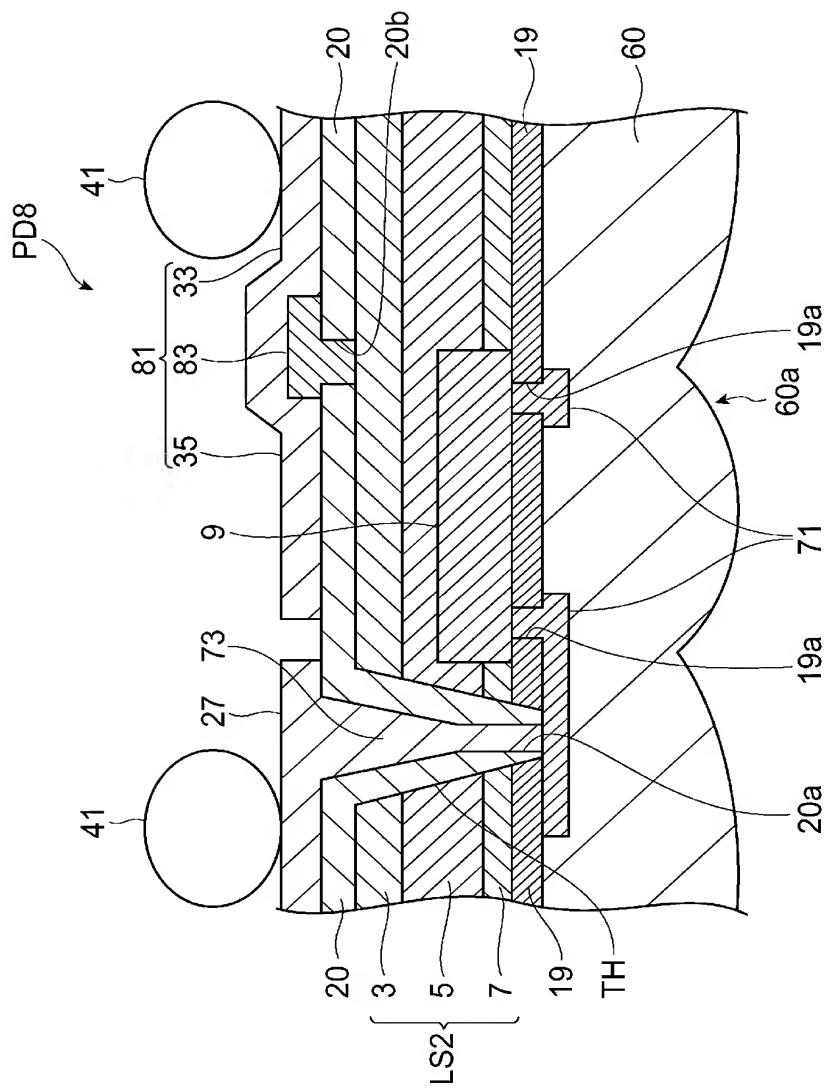
【図 3 6】



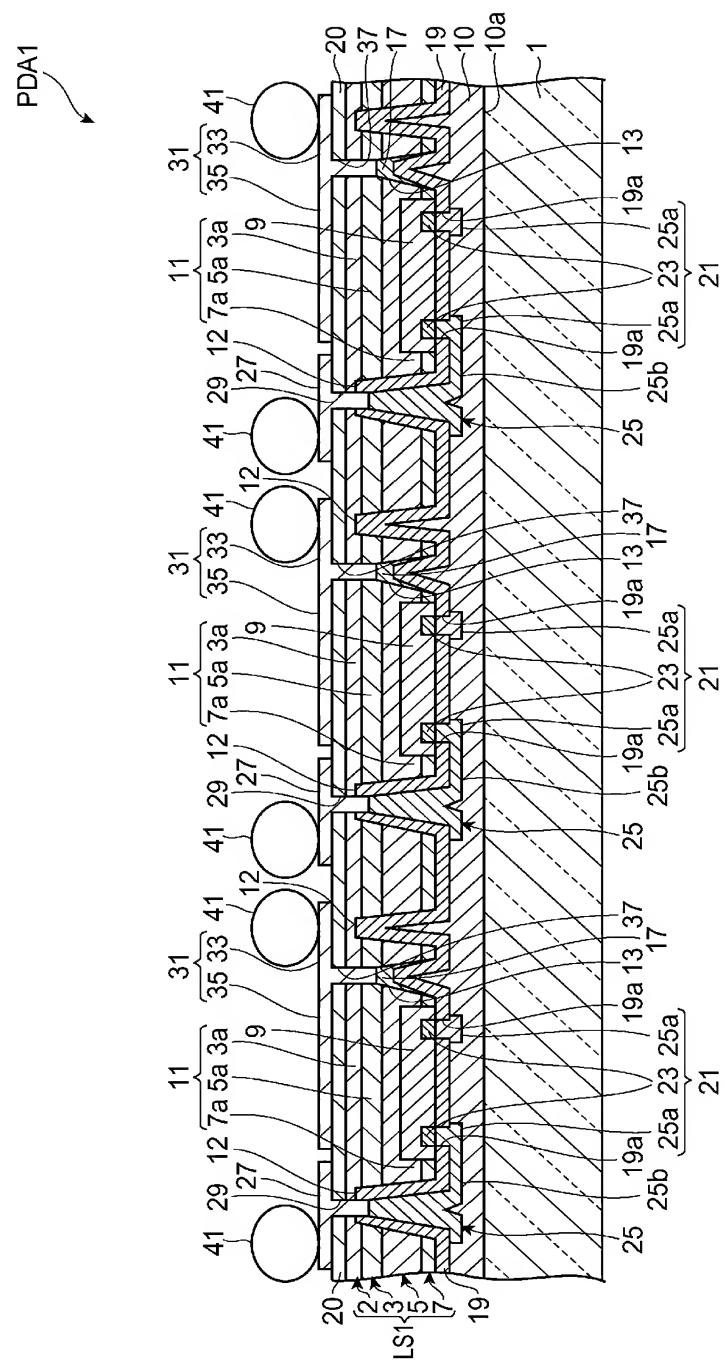
【図 37】



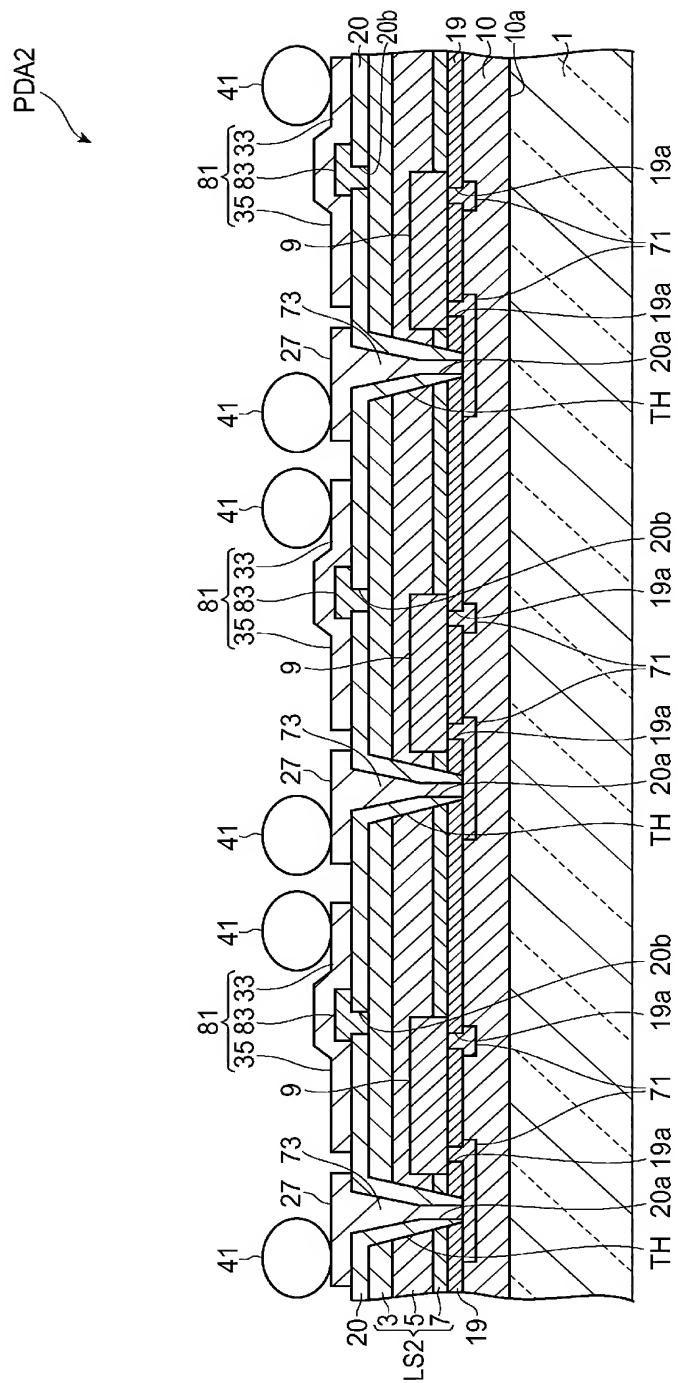
【図38】



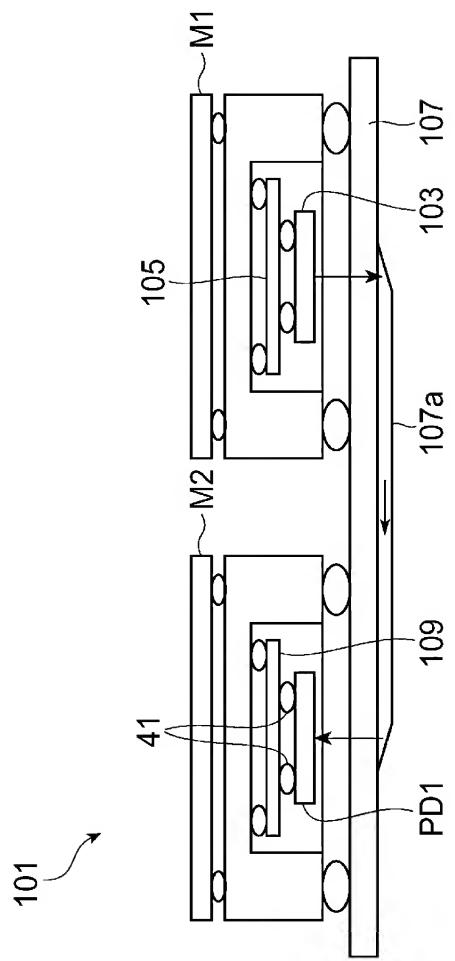
【図39】



【図40】



【図 4-1】



【書類名】要約書

【要約】

【課題】 機械的強度を保ちつつ、小型化を十分に図ることが可能な半導体光検出素子及びその製造方法を提供すること。

【解決手段】 半導体光検出素子P D 1は、層構造体L S 1と、ガラス基板1とを備える。層構造体L S 1は、積層された、エッチング停止層2、n型の高濃度キャリア層3、n型の光吸収層5、及びn型のキャップ層7を含む。層構造体L S 1の一方面側には、受光領域9が形成されている。層構造体L S 1の一方面側には、第1電極部2 1が配置されている。層構造体L S 1の他方面側には、第1パッド電極2 7及び第3電極部3 1が配置されている。層構造体L S 1の一方面側には、受光領域9及び第1電極部2 1を覆うように膜1 0が形成されている。ガラス基板1は、膜1 0における層構造体L S 1とは反対側の面1 0 aに接触して貼り合わされている。ガラス基板1は、入射光に対して光学的に透明である。

【選択図】 図2

出願人履歴

0 0 0 2 3 6 4 3 6

19900810

新規登録

静岡県浜松市市野町 1 1 2 6 番地の 1

浜松ホトニクス株式会社